

VŠB - Technická univerzita Ostrava
Fakulta elektrotechniky a informatiky
Katedra kybernetiky a biomedicínského inženýrství

Bakalářská práce

**VŠB - Technická univerzita Ostrava
Fakulta elektrotechniky a informatiky
Katedra kybernetiky a biomedicínského inženýrství**

**Generování rychlých jednorázových signálů a jejich měření
číslicovým osciloskopem – laboratorní úloha**

**Generation of Fast Single Signals and their Measurement with Digital
Oscilloscope - Laboratory Exercise**

VŠB - Technická univerzita Ostrava
Fakulta elektrotechniky a informatiky
Katedra kybernetiky a biomedicínského inženýrství

Zadání bakalářské práce

Student: **Filip Žilinský**
Studijní program: **B2649 Elektrotechnika**
Studijní obor: **3901R039 Biomedicínský technik**
Téma: **Generování rychlých jednorázových signálů a jejich měření číslicovým osciloskopem – laboratorní úloha.**
Generation of Fast Single Signals and their Measurement with Digital Oscilloscope - Laboratory Exercise

Zásady pro vypracování:

1. Seznámení se s principy generování rychlých jednorázových signálů.
2. Návrh koncepce úloh pro výuku generování a měření rychlých jednorázových signálů.
3. Návrh obvodového řešení přípravku - generátoru velmi krátkých impulsních signálů.
4. Návrh a realizace DPS pro navržený přípravek.
5. Oživení a testování realizovaného měřicího přípravku.
6. Vytvoření úloh pro generování a měření rychlých jednorázových signálů.
7. Zhodnocení dosažených výsledků.

Seznam doporučené odborné literatury:

- [1] HRDINA, Zdeněk a František VEJRAŽKA. *Signály a soustavy*. Praha: ČVUT, 2001. 234s. ISBN 80-01-01726-5.
[2] NEVŘIVA, Pavel. *Analýza signálů a soustav*. 1. vyd. Praha: BEN - technická literatura, 2000. 671s. ISBN 80-7300-004-0.
[3] HAASZ, Vladimír a Miloš SEDLÁČEK. *Elektrická měření: Přístroje a metody*. 2. vyd. Praha: ČVUT, 2003. 337 s. ISBN 80-01-02731-7.


Formální náležitosti a rozsah bakalářské práce stanoví pokyny pro vypracování zveřejněné na webových stránkách fakulty.

Vedoucí bakalářské práce: **Ing. Vladimír Kašík, Ph.D.**

Datum zadání: 16.11.2012

Datum odevzdání: 19.07.2013



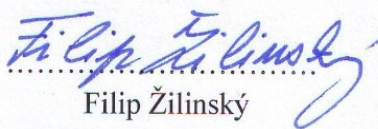

doc. Ing. Jiří Koziorek, Ph.D.
vedoucí katedry


prof. RNDr. Václav Snášel, CSc.
děkan fakulty

Prohlášení studenta

Prohlašuji, že jsem tuto bakalářskou práci vypracoval samostatně. Uvedl jsem všechny literární prameny a publikace, ze kterých jsem čerpal.

V Ostravě, dne 7. 5. 2013


Filip Žilinský

Poděkování

Touto cestou bych chtěl vyslovit poděkování panu Ing. Vladimíru Kašíkovi, PhD. za odborné vedení, cenné rady a připomínky při vypracování mé bakalářské práce.

Abstrakt

Cílem této bakalářské práce je vytvoření úloh pro generování a měření rychlých jednorázových signálů na číslicovém osciloskopu.

V práci jsou uvedeny popisy jednotlivých signálů s principy jejich generování. Po seznámení se s problematikou návrhu byly sestrojeny dva funkční vzorky analogových tvarovačů signálu s varaktorem SRD a vedením, a tvarovače s lavinovým tranzistorem, které byly porovnány v časové i kmitočtové oblasti. Dále byl realizován generátor na architektuře FPGA desky Spartan – 3, firmy Xilinx. V práci je popsán návrh, realizace a jeho testování.

V příloze je uveden vzorový protokol laboratorní úlohy se zadáním.

Klíčová slova

Generátor, signál, impuls, SRD, tvarovací vedení, lavinový tranzistor, osciloskop

Abstract

The objective of this bachelor's thesis is the creation of tasks for the generation and measurement of fast signals on digital oscilloscope.

The descriptions of particular signals and the principles of their generation are given in the thesis. After the acquaintance with the issue two functional specimens of analog shapers of signal with the varactor SRD and line were designed and constructed as well as shapers with avalanche transistor. Their time and frequency qualities were compared. A generator on the architecture FPGA of the Spartan - 3 board of the firm Xilinx was also realized. Its design, realization and testing is also described in the thesis.

Sample record of the laboratory task including the instructions is given in the annex.

Keywords

Generator, signal, impulse, SRD, forming lines, avalanche transistor, oscilloscope

Seznam použitých symbolů

Veličina	Jednotka	Význam
A	[-]	Amplituda
f	[Hz]	Frekvence
T	[s]	Perioda
t ₊	[s]	Délka kladného pulsu
t ₋	[s]	Délka záporného pulsu
t ₊ /T	[s]	Činitel plnění
t _n	[s]	Nastavitelná doba náběhu
t _d	[s]	Nastavitelná doba doběhu
P _f	[-]	Překmit
P _d	[-]	Podkmit
σ	[-]	Jednotkový skok
x	[-]	Exponencionální impuls
X _v	[-]	Amplituda exp. impulsu
T	[s]	Časová konstanta
k	[-]	Konstanta
p	[U·t ⁻¹]	Gaussův impuls
σ	[-]	Směrodatná odchylka
τ _p	[s]	Šířka impulsu
U ₀	[V]	Napětí na ss zdroji
C	[F]	Elektrická kapacita
R	[Ω]	Elektrický odpor
u _c	[V]	Vybíjecí napětí
l	[m]	Délka vodiče
Z ₀	[Ω]	Impedance koaxiálního vedení
Z _L	[Ω]	Impedance zátěže
Z _K	[Ω]	Impedance zdroje a odporu R
T _p	[s]	Doba šíření sig. v obou směrech
ε _r	[-]	Relativní permitivita
c	[km·s ⁻¹]	Rychlost světla

OBSAH

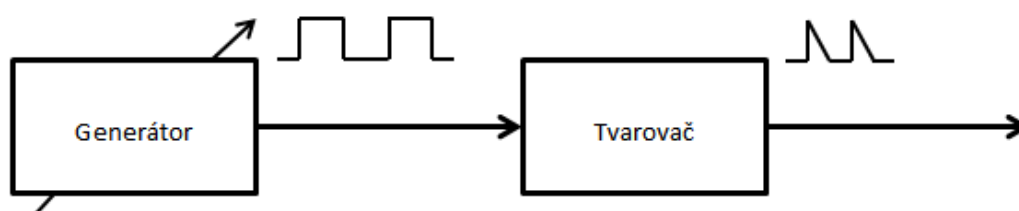
Bakalářská práce	1
.....	Chyba! Záložka není definována.
1 ÚVOD	1
2 POPIS SIGNÁLU V ČASOVÉ OBLASTI.....	2
2.1 Rozdělení signálů	2
2.1.1 Podle povahy definičního oboru.....	2
2.1.2 Podle povahy oboru hodnot.....	2
2.2 Neperiodické funkce	3
2.2.1 Jednotkový Diracův impuls.....	3
2.2.2 Heavisideův skokový signál.....	4
3 TVARY IMPULSŮ A JEJICH POPIS	5
3.1 Pravoúhlý impuls.....	5
3.2 Exponencionální a dvojexponencionální impuls.....	5
4 PRINCIPIÁLNÍ ZAPOJENÍ TVAROVACÍCH OBVODŮ S RYCHLÝMI IMPULSY	7
4.1 Klopný obvod.....	7
4.2 RC článek.....	7
4.3 Tvarovací vedení	8
4.4 Step – recovery dioda (SRD)	10
4.5 Lavinový tranzistor	12
5 POPIS FPGA A VHDL.....	13
5.1 FPGA (Field Programmable Gate Array)	13
5.2 VHDL (Very High Speed Integrated Circuits – Hardware Description Language).....	13
5.2.1 Návrhové jednotky	14
5.3 Deska Spartan – 3.....	15
6 NÁVRH KONCEPCE LABORATORNÍ ÚLOHY	17
7 NÁVRH OBVODOVÉHO PŘÍPRAVKU – GENERÁTORU VELMI KRÁTKÝCH IMPULSNÍCH SIGNÁLŮ	18
7.1 Návrhové prostředí ISE Project Navigator Suite 14.4	18
7.2 Konfigurační soubor ve VHDL.....	18
7.2.1 DCM (Digital Clock Manager)	18
7.2.2 Bloky ve schématickém editoru	18

7.2.3	Návrh konfigurace Blok.vhd	19
7.2.4	Soubor ucf	19
8	NÁVRH A REALIZACE DPS PRO NAVRŽENÝ PŘÍPRAVEK	21
8.1	Tvarovač s varaktorem SRD s vedením	21
8.2	Tvarovač s lavinovým tranzistorem	22
8.3	Simulace obvodu v programu Multisim 12	22
8.4	Prostorový návrh tvarovače	23
8.5	Návrh DPS v Eaglu	23
8.5.1	Editor schémat	24
8.5.2	Editor spojů	25
8.5.3	CAM Processor	25
9	OŽIVENÍ A TESTOVÁNÍ REALIZOVANÉHO MĚŘÍČÍHO PŘÍPRAVKU	26
9.1	Generátor na desce Spartan – 3	26
9.2	Tvarovač s varaktorem SRD a vedením	28
9.3	Tvarovač s lavinovým tranzistorem	31
10	ZÁVĚR	34
11	SEZNAM POUŽITÉ LITERATURY	35

1 ÚVOD

Cílem této práce je vytvořit laboratorní úlohu, která si klade za cíl osvětlit žákům prvních a druhých ročníků generování rychlých jednorázových signálů a jejich měření v časové a frekvenční oblasti na digitálním osciloskopu. Jednou z možností je vytvoření tvarovače, který bude reagovat na vstupní signál generátoru s opakovacím kmitočtem v MHz vygenerováním velmi krátkých impulsů v jednotkách ns.

Jednotlivé druhy tvarovačů jsou rozvedeny v kapitole č. 4.



Obr. 1.1: Blokové schéma pro vytvoření rychlých jednorázových signálů

Další možností vhodné pro vytváření signálů je využití učebního kitu na architektuře FPGA s HW popisem generátoru v jazyce VHDL. Dostupnou alternativou z celé škály vývojových kitů je Deska Spartan – 3, jejichž periferie poskytují přívětivou uživatelskou obsluhu generátoru s vizuální kontrolou na sedmi-segmentových displejích. Konfigurace generátoru bude nastavitelná v počtu impulsů a jejich šířkou. Tyto obdélníkové impulsy dosahují šířky milisekund, až desítek nanosekund.

2 POPIS SIGNÁLU V ČASOVÉ OBLASTI

Signálem $s(t)$ rozumíme závislost nějaké veličiny s na t . V elektrotechnice bývá touto veličinou zpravidla napětí či proud, ale může jí být také např. zvuk, elektromagnetické vlnění či číslice.

Jeli závislost na čase známa, pak takový signál nazýváme determinovaným signálem, v opačném případě se jedná o stochastický, neboli náhodný signál.

Signály, které v jednom časovém okamžiku začaly a v druhém časovém okamžiku skončí, nazýváme finitní. V teoretických úvahách se často setkáváme se signály, které mají nekonečnou dobu trvání – jejich nejčastějším případem jsou periodické signály.

2.1 Rozdělení signálů

2.1.1 Podle povahy definičního oboru

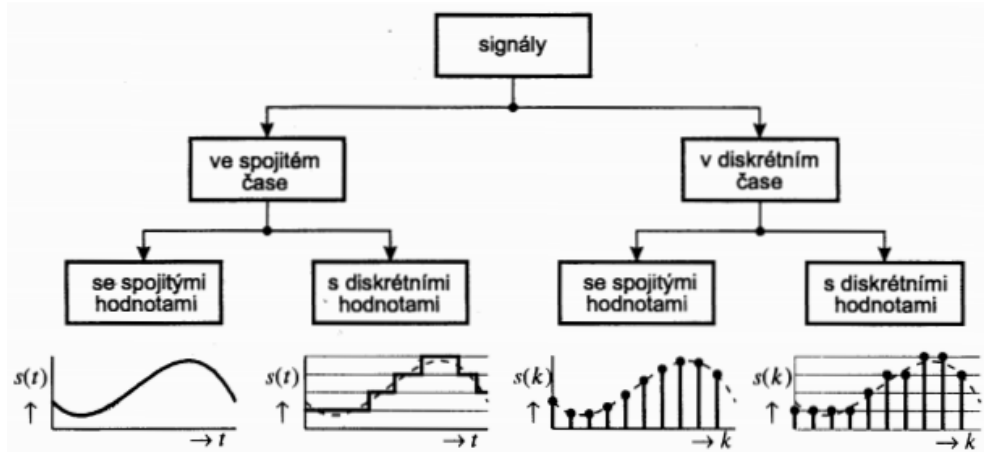
- Signály ve spojitém čase, kdy čas nabývá hodnot z množiny \mathbb{R} všech reálných čísel.
- Signály v diskrétním čase, kdy čas nabývá hodnot z množiny \mathbb{Z} celých čísel. Signály v diskrétním čase nazýváme také posloupnostmi.

2.1.2 Podle povahy oboru hodnot

- Signály se spojitými hodnotami, kdy signál nabývá hodnot z množiny všech komplexních (reálných) čísel.
- Signály s diskrétními hodnotami, kdy signál nabývá hodnot z konečné nebo spočtené množiny komplexních (reálných) čísel.

Pro signály se spojitými hodnotami a ve spojitém čase používáme označení analogové signály. Pro signály s diskrétními hodnotami a v diskrétním čase používáme označení digitální (číslicové) signály. Signály s diskrétními hodnotami mohou vzniknout ze signálů se spojitými hodnotami kvantováním, kdy je spojitá hodnota přiřazena určitá diskrétní úroveň. Není to však jediná možnost jejich vzniku. Často se setkáváme s případem, kdy je hodnota signálu diskrétní již svou povahou (např. všechny signály vytvořené ze znaků abecedy – dálhopis, morseovka atd.)

Podobně signály v diskrétním čase mohou vzniknout ze signálů ve spojitém čase vzorkováním, kdy se vybírají hodnoty v diskrétních časových okamžicích. [13]



Obr. 2.1: Popis signálu v čase [13]

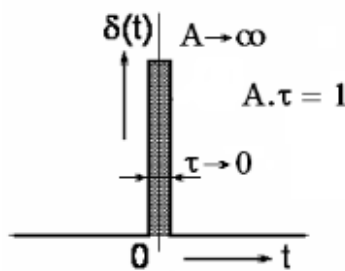
2.2 Neperiodické funkce

Signály, které nesplňují vztah spojitě jednorozměrné funkce, nazýváme neperiodické. Lze také říci a tohoto konstatování je možné v různých matematických úvahách s výhodou využívat, že neperiodické funkce jsou takové periodické funkce, jejichž základní perioda je nekonečná, tj. $x(t) = x(t + kT)$ pro $T \rightarrow \infty$. Neperiodické funkce s relativně krátkým časovým intervalem, ve kterém nastávají změny průběhu, označujeme jako jednorázové.

Mezi jednorázovými funkcemi zaujímají nejdůležitější pozici dva deterministické signálové modely jednotkový Diracův impuls a Heavisideův skokový signál. [14]

2.2.1 Jednotkový Diracův impuls

Zjednodušeně lze říci, že jednotkový impuls $\delta(t)$ je velice úzký (limitně s nulovou šířkou) a velice vysoký (limitně s nekonečnou výškou) obdélníkový impuls, jehož výška je rovna převrácené hodnotě šířky, tzn. že mohutnost, definovaná plochou, kterou signál ohraničil spolu s časovou osou je jednotková. [14]



Obr. 2.2: Diracův impuls [14]

Platí

$$\int_{-\infty}^{\infty} \delta(t) dt = 1 \quad (1)$$

Diracův impuls získáme derivací jednotkového skoku

$$\delta(t) = \frac{d\eta(t)}{dt} \quad (2)$$

Lze nalézt řadu funkcí, které jsou v limitním přechodu rovny Diracova impulsu. Mezi nejdůležitější patří [13]

obdélníkový impuls

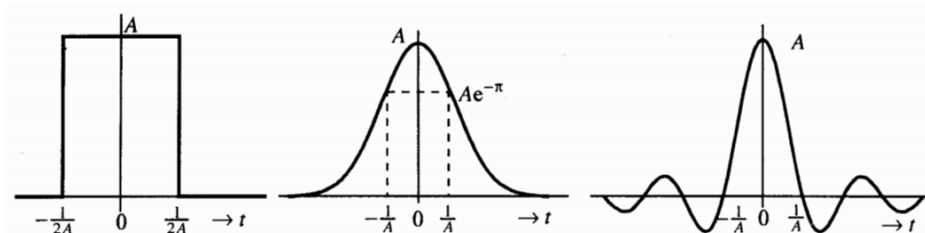
$$\lim_{A \rightarrow \infty} A \operatorname{rect}(At) = \lim_{A \rightarrow \infty} A \left[\eta\left(t + \frac{1}{2A}\right) - \eta\left(t - \frac{1}{2A}\right) \right] = \delta(t) \quad (3)$$

Gaussův impuls

$$\lim_{A \rightarrow \infty} A \exp(-t^2 A^2 \pi) = \delta(t) \quad (4)$$

vzorkovací funkce

$$\lim_{A \rightarrow \infty} A \operatorname{sinc}(t\pi A) = \delta(t) \quad (5)$$



Obr. 2.3: Signály rovné Diracovu impulsu pro $A \rightarrow \infty$ (obdélníkový impuls, Gaussovský impuls a vzorkovací funkce) [13]

2.2.2 Heavisideův skokový signál

V praxi nelze Diracův impuls $\delta(t)$ generovat. V praktických aplikacích můžeme například generovat vstup blízký integrálu z Diracova impulsu, kterým je Heavisideův skok $\eta(t)$ a měřit odezvu na $\eta(t)$, kterou je přechodová charakteristika.

Vztah pro přechodovou charakteristiku

$$\int_{0_-}^t h(t) dt = g(t) \quad (6)$$



Obr. 2.4: Heavisideův skokový signál

Podmínky pro Heavisideův skokový signál

$$\eta(t) = \begin{cases} 0 & \text{pro } t < 0 \\ 0,5 & \text{pro } t = 0 \\ 1 & \text{pro } t > 0 \end{cases} \quad (7)$$

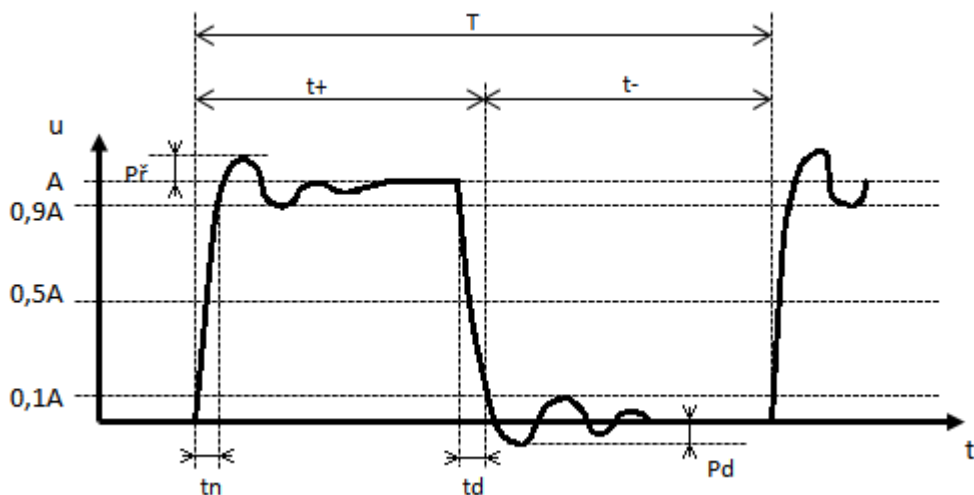
3 TVARY IMPULSŮ A JEJICH POPIS

Impuls je krátkodobá relativní výchylka elektrické veličiny ze základní (ustálené) hodnoty (úrovně), do níž se po určité době představující šířku impulsu tato veličina opět vrací. Impulsy mohou mít různý tvar, např. pravoúhlý, exponenciální, dvojexponenciální, zvonovitý, Diracův atd. [1]

3.1 Pravoúhlý impuls

V teorii se často vyskytují ideální pravoúhlé impulsy tvořené dvěma jednotkovými skoky s opačnými znaménky, násobené stejnou absolutní hodnotou udávající výšku impulsu a časově posunutými o dobu představující šířku impulsu t_i . Čelo a tyl jsou u těchto ideálních impulsů skokové a temeno má konstantní výšku.

V praxi se pravoúhlé impulsy vyznačují svou amplitudou A , frekvencí f (nebo periodou T), délkou kladného pulsu (t_+) a délkou záporného pulsu (t_-), činitelem plnění t_+/T (angl. duty factor), zpožděním proti okamžiku spuštění, často i s nastavitelnou dobou náběhu t_n a dobou doběhu t_d (nastavitelný sklon náběžné a sestupné hrany). Zkratka P_f a P_d označuje překmit a podkmit napětí proti ideálnímu průběhu pulsu. Doba náběhu a doběhu jsou definovány pro úroveň 0,1 A a 0,9 A. Šířka pulsu je definována pro úroveň 0,5 A. [2]



Obr. 3.1: Tvar a základní parametry průběhu pravoúhlého impulsu

3.2 Exponenciální a dvojexponenciální impuls

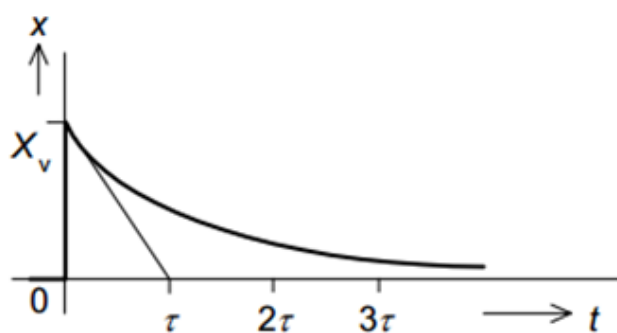
Pro zápis funkcí vyjadřujících tvary signálů budeme často používat funkci jednotkového skoku $\sigma(t)$: [1]

$$\begin{aligned}\sigma(t) &= 0 & \text{pro } t < 0, \\ \sigma(t) &= 1 & \text{pro } t \geq 0.\end{aligned}\tag{8}$$

Exponenciální impuls můžeme vyjádřit zápisem

$$x(t) = \sigma(t) \cdot X_v \cdot \exp(-t/\tau) \quad (9)$$

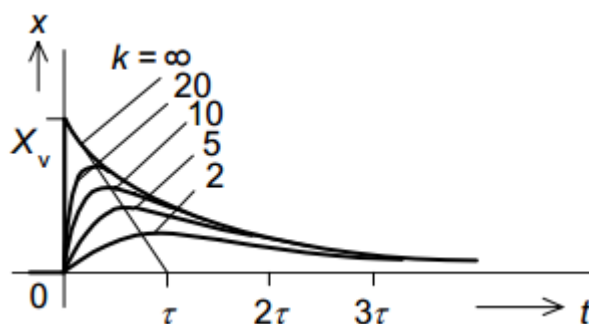
význam veličiny X_v je zřejmý z Obr. 3.2, Obr. 3.3



Obr. 3.2: Exponenciální impuls [1]

dvojexponenciální impuls jde vyjádřit zápisem:

$$x(t) = \sigma(t) \cdot X_v \cdot [\exp(-t/\tau) - \exp(-kt/\tau)] \quad (10)$$



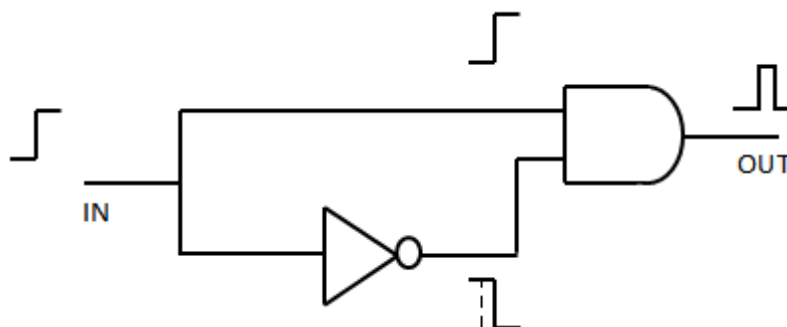
Obr. 3.3: Dvojexponenciální impuls [1]

4 PRINCIPIÁLNÍ ZAPOJENÍ TVAROVACÍCH OBVODŮ S RYCHLÝMI IMPULSY

4.1 Klopný obvod

Logické obvody, které realizují určité logické funkce, mohou vlivem zpoždění signálu v jednotlivých logických členech po přechodnou dobu vykazovat na výstupech jiné hodnoty, než odpovídá modelovaným funkcím. Takovou situaci označujeme jako hazard. V logických kombinačních obvodech rozlišujeme tři typy hazardů: statický, dynamický a souběhový [3].

Statický hazard vykazuje ten obvod, u kterého při přechodu mezi dvěma sousedními stavy vstupních proměnných (stavy, které se liší v hodnotě jedné proměnné) se stejnou logickou hodnotou výstupní proměnné (log 0 nebo log 1) dochází na přechodnou dobu ke změně předepsané výstupní hodnoty.



Obr. 4.1: Statický hazard v zapojení inverter, AND

Pokud uvažujeme vstup tohoto obvodu ustálený na log. 0, je na výstupu invertoru log. 1. To ovšem nestačí hradlu AND k tomu, aby přeplo, jelikož signál z horní větve je log. 0 od vstupu. Pokud se ale nyní vstup obvodu změní na log. 1, na invertoru bude ještě určitou dobu log. 1, než mu jeho zpoždění dovolí přepnout. To znamená, že v tuto chvíli jsou na vstupu hradla AND dvě log. 1 a hradlo začne přepínat také na log. 1. Nyní už nic nezabrání propagaci této hazardní log. 1 na výstup obvodu. Jakmile se pak inverter přepne na log. 0, hradlo AND se jí také podřídí a na výstupu obvodu bude opět log. 0. Obě větve, které se scházejí na hradle AND, původně vycházejí z jednoho vstupu. Jedna je přímá, takže její zpoždění je uvažováno jako nulové. Druhá obsahuje inverter, který už zpoždění má. Zpoždění jednotlivých větví se tedy liší. Hazardní stav bude na výstupu obvodu přesně takovou dobu, která odpovídá rozdílu zpoždění těchto větví. Z toho plyne také poučka o eliminaci tohoto hazardu [4].

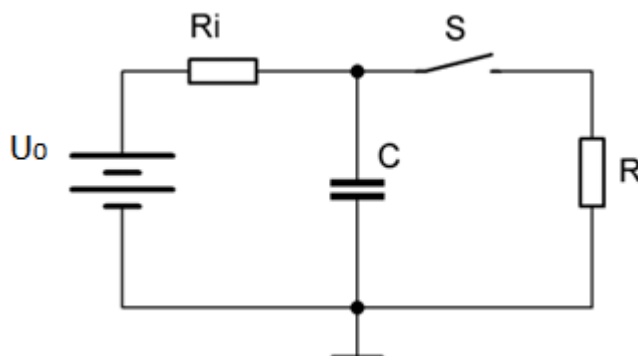
4.2 RC článek

Tento generátor patří mezi principiálně nejjednodušší. Obvodové zapojení je složeno ze stejnosměrného zdroje napětí U_0 , odporu R , kondenzátoru C a tlačítka S . Tlačítko je zprvu

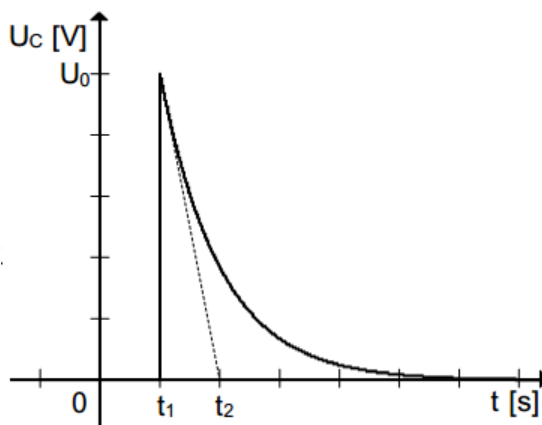
rozeprnuté, poté co je nabit kondenzátor na napětí U_0 , tlačítko sepneme. Kondenzátor se začne vybíjet přes odpor R a měříme na něm napětí u_c , které lze popsat vztahem (7).

$$u_c = U_0 \cdot e^{-\frac{t}{RC}} \quad (11)$$

Kde časová konstanta τ se vypočítá ze součinu RC . V čase t_1 se na zátěži R objeví napětí U_0 , toto napětí v čase exponenciálně klesá a v čase $t_2 = t_1 + \tau$ dosáhne hodnoty U_0/e , viz obrázek 4.3.



Obr. 4.2: RC článek



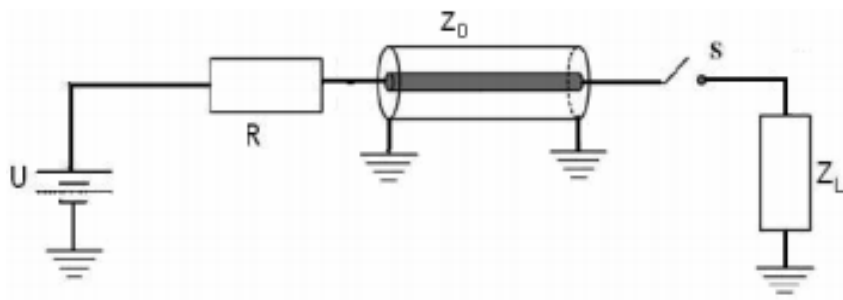
Obr. 4.3: vybíjení kondenzátoru na zátěži R

4.3 Tvarovací vedení

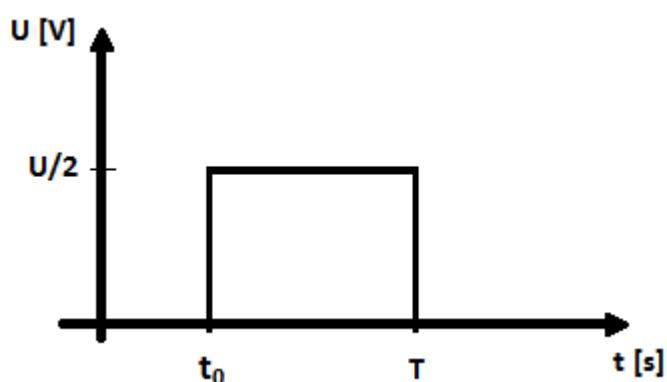
Zabýváme se pouze tvarovacím vedením s jednou linkou. Modifikacemi tohoto zapojení můžeme docílit tvarovacího vedení s paralelními linkami nebo zapojení typu “BLUMLEIN”.

Pomocí tohoto zapojení se dají vytvářet krátké napěťové (proudové) impulsy obdélníkového průběhu. Tvarovací vedení (PFL) je tvořeno vedením délky l a impedancí Z_0 , které je přes nabíjecí rezistor s odporem R připojeno ke zdroji stejnosměrného napětí. Druhý konec koaxiálního vedení je připojen k rychlému spínači, k němuž je připojena zátěž Z_L . Ta musí být impedančně přizpůsobena k impedanci Z_0 koaxiálního vedení.[5]

$$Z_0 = Z_L \quad (12)$$



Obr. 4.4: Schéma zapojení s PFL [5]



Obr. 4.5: Výstupní impuls vedení

Připojením zátěže vznikne napěťový dělič tvořený charakteristickou impedancí vedení Z_0 a impedancí zátěže Z_L . Na vzdáleném konci vedení (strana zátěže) vznikne napěťový skok z U na $U/2$, který se jako vlna šíří zpětně vedením. Na blízkém konci vedení (strana zdroje) dojde k odrazu jako na otevřeném, tj. s opačnou polaritou a šíří se vedením zpět k zátěži za předpokladu, že

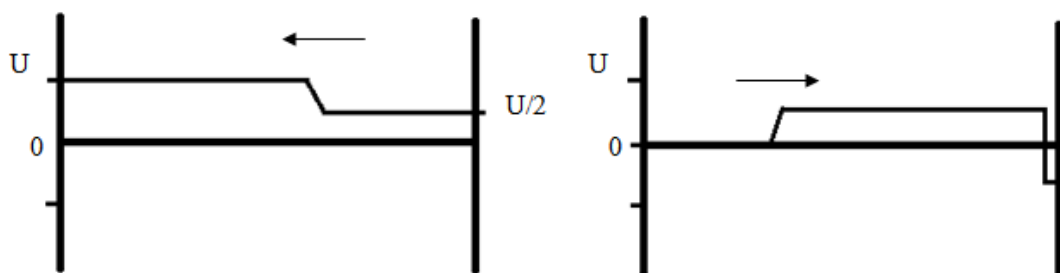
$$Z_K \gg Z_0 \quad (13)$$

kde impedance Z_K je tvořena odporem nabíjecího rezistoru R a vnitřním odporem zdroje. Na zátěži dojde k odečtení napěťového skoku s opačnou polaritou od napětí $U/2$, které je přítomno na zátěži. Na zátěži tak vznikne pravoúhlý impuls.

Doba šíření vlny na vedení v obou směrech T_p tj. doba za, kterou se vlna vrátí k zátěži, je určena délkou vedení a jeho permitivitou:

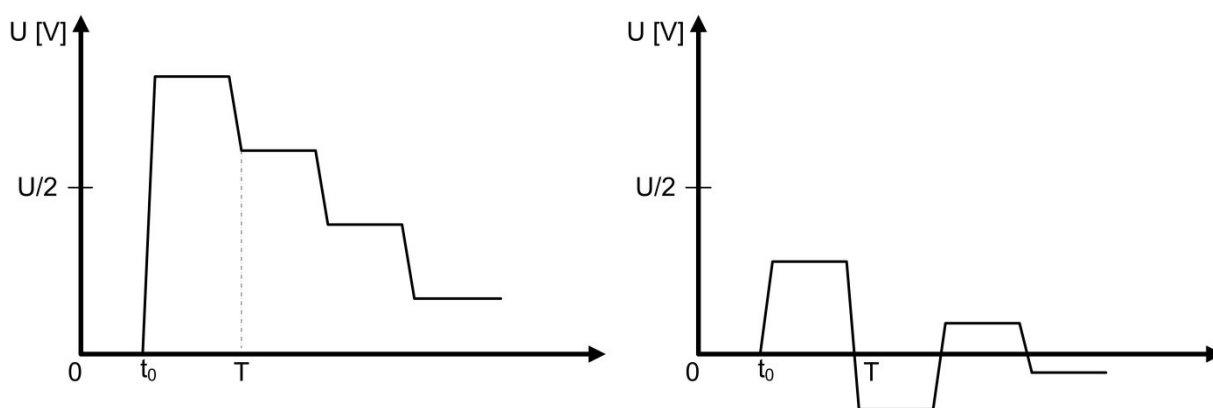
$$T_p = \frac{2l\sqrt{\epsilon_r}}{c} \quad (14)$$

kde ϵ_r je relativní permitivita dielektrika koaxiálního vedení, l délka vedení a c rychlost světla.



Obr. 4.6: Průběh napětí na vedení po sepnutí spínače a) vlna postupující směrem ke zdroji
b) odražená vlna na konci vedení postupující směrem k zátěži [5]

Při splnění podmínky (8), se na vzdálený konec vedení nevrací napětí s opačnou polaritou, ale s jiným kladným ($Z_L < Z_0$) nebo záporným napětím ($Z_L > Z_0$). To se sečte s napětím napěťového skoku, výsledné napětí se znovu odrazí na zátěži a šíří se směrem k blízkému konci. Takto se napětí postupně snižuje až k nule. Tento jev se negativně projeví na sestupné hraně impulsu, která nebude kolmá (platí pro ideální případ), nýbrž zvlněná jak ukazuje obr. 3.7a)b) [5]



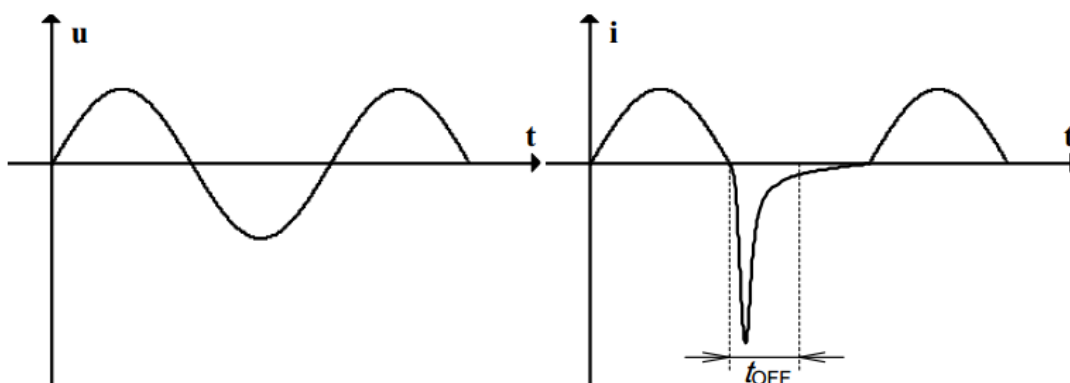
Obr. 4.7: a) průběh napětí na zátěži pro $Z_L > Z_0$, b) průběh napětí na zátěži pro $Z_L < Z_0$ [5]

4.4 Step – recovery dioda (SRD)

Dalšími názvy pro tyto diody používané pro násobení kmitočtu a pro generování krátkých impulsů jsou střadačové diody nebo varaktory s krokovým zotavením. Využívají ke své činnosti prakticky pouze difuzní kapacitu přechodu P – N polarizovaného v propustném směru. [8]

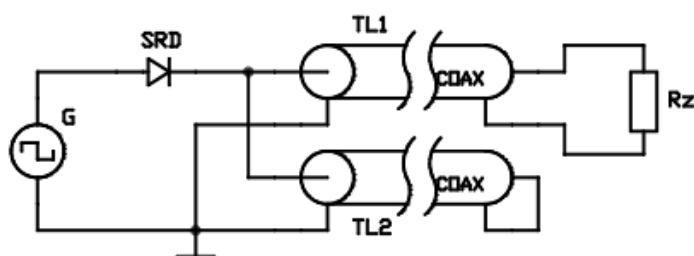
Při kladné polaritě střídavého napětí dochází k hromadění minoritních nosičů v blízkosti přechodu P – N. Tyto nosiče nerekombinují, což je zajištěno vhodným profilem příměsí v okolí přechodu. Struktura pak připomíná diodu PIN s velmi úzkou intristickou oblastí I. [8]

Při změně polarity se minoritní nosiče vrací přes přechod zpět. Jsou však odčerpány až po určité době $t_{OFF} = t_r$. Vznikají úzké proudové impulsy bohaté na vyšší harmonické složky, což ukazuje obr. 4.8:



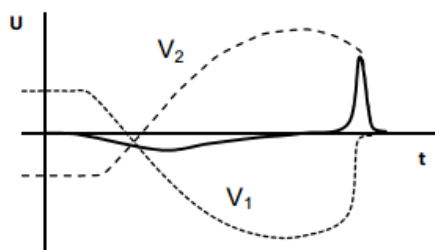
Obr. 4.8: Průběh napětí a proudu v čase na varaktoru SRD [8]

Existuje hned několik způsobů, jak pomocí varaktoru SRD generovat impulsy s krátkou dobou trvání. Jedna z možných variant je na obr. 4.9. Zapojení se skládá z generátoru pravoúhlých pulsů G , varaktoru SRD, vedení zakončeného zkratem $TL2$, kdy $R_Z = 0$ a zátěží R_Z připojenou k vedení $TL1$. Obě vedení mají charakteristickou impedanci Z_0 [9], [10].



Obr. 4.9: zjednodušené zapojení generátoru impulsů s varaktorem SRD

Princip vytvoření impulsu je naznačen na obr. 4.10. Během kladné části periody signálu z generátoru je dioda v propustném směru a dochází k ukládání náboje. V záporné polovině periody dojde ke skokovému odčerpání náboje a vzniklý napěťový skok V_1 se šíří vedením $TL1$ a $TL2$. Na konci zkratovaného vedení $TL2$ se napěťová vlna odrazí se stejnou velikostí, ale opačnou fází. Na zátěži R_Z se sečte postupná vlna V_1 a zpožděná odražená vlna V_2 , a tím vznikne krátký impuls, jehož šířka je závislá na délce zkratovaného vedení a je dána přibližně vztahem (10) [9], [10].



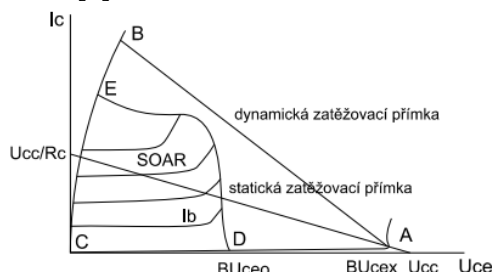
Obr. 4.10: princip vytvoření impulsu pomocí SRD

4.5 Lavinový tranzistor

Tranzistor se užívá v oblasti lavinového průrazu, může být zdrojem velmi strmých impulsů. Tohoto jevu se využívá například ve vysílačích a přijímačích UWB systémů.

Lavinový průraz vznikne tehdy, pokud intenzita elektrického pole na závěrně polarizovaném přechodu PN dosáhne takové úrovně, kdy minoritní nosiče získají velkou kinetickou energii, může dojít k nárazové ionizaci atomů v krystalové mřížce, vznikají páry elektron – díra. Přes přechod rychle vzroste proud a je limitován většinou odporem v obvodu. Proud musí být omezen, jinak by došlo k destrukci PN přechodu a zničení tranzistoru. Prudký nárůst proudu lze využít pro vytvoření velmi strmé hrany impulsu.

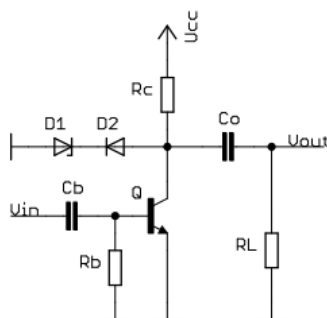
Chod tranzistoru v oblasti lavinového průrazu ukazuje obr. 4.11. Bezpečná pracovní oblast SOAR (safe operating active region) je definována body C-D-E, tyto body vymezují V-A charakteristiku pro bipolární tranzistor. BU_{CEO} je průrazné napětí na přechodu kolektor- báze při otevřené bázi. BU_{CEX} je průrazné napětí mezi kolektorem a emitorem při záporném předpětí na bázi. Pro lavinový průraz je nutné se pohybovat s předpětím někde mezi BU_{CEO} a BU_{CEX} s nulovým nebo malým záporným předpětím na bázi [9].



Obr. 4.11: Charakteristika bipolárního tranzistoru

Obvod je řízen kladnými obdélníkovými impulsy. Jakmile přijde kladný puls na vstup, tranzistor začne vést a okamžitě dojde k lavinovému průrazu. Napětí U_{CE} mezi kolektorem a emitorem prochází dynamickou zatěžovací přímkou z bodu A do bodu B. Dynamická zatěžovací přímka je definovaná kondenzátorem C_0 a rezistorem R_L a prochází mimo bezpečnou pracovní oblast SOAR. Napětí U_{CE} velmi rychle spadne do bodu B, protože zatěžovací přímka je v oblasti lavinového průrazu. Hodnota rezistoru R_C definuje statickou zatěžovací přímku. Jakmile dojde k průrazu, náboj z kondenzátoru C_0 se velmi rychle přesune přes otevřený tranzistor do R_L , což vytvoří velmi strmou hranu. Doba hrany je limitována parazitními indukčnostmi tranzistoru, C_0 a R_L .

Jakmile se kondenzátor vybijí, kolektorový pracovní bod se přesouvá, z bodu B do C. Tranzistor se uzavírá a vrací se zpět do bodu A. Kondenzátor C_0 se postupně nabíjí přes rezistor R_C . Celý cyklus se může zopakovat. Hodnota R_C musí být dostatečně velká, aby nedošlo k poškození tranzistoru, ale příliš velká hodnota způsobí delší nabíjení kondenzátoru C_0 [9].



Obr. 4.12: Schématické znázornění obecného impulsního generátoru s lavinovým tranzistorem

5 POPIS FPGA A VHDL

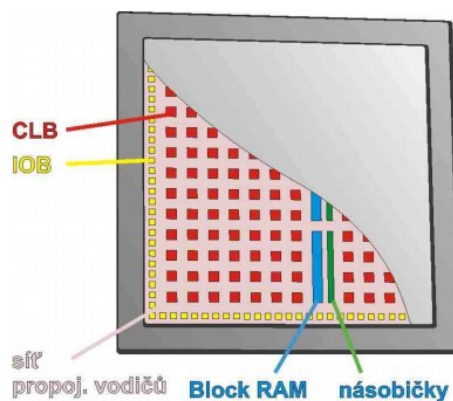
5.1 FPGA (Field Programmable Gate Array)

Programovatelné hradlové pole se skládá z elementárních logických prvků umístěných v symetrické maticové struktuře. Elementární logické prvky se propojují pomocí konfigurovatelné propojovací sítě horizontálních a vertikálních vodičů. V místě křížení se vodiče můžou propojovat. Tím dostaneme požadované zapojení. Vstupní a výstupní signály jsou připojeny na vývody hradlového pole.

Základní architektura FPGA je složena z těchto částí:

1. Pravidelnou matici konfigurovatelných logických bloků CLB (configurable Logic Block). Bloky CLB představují základní stavební prvky vytvářených logických funkcí FPGA. Jednotlivé CLB jsou vzájemně propojeny rozsáhlou hierarchickou strukturou propojovacích vodičů (Routing Channels). Každá logická buňka obsahuje elementární prostředky pro kombinační a sekvenční logiku. Pole bloků CLB je obklopeno vstupně/výstupními bloky.
2. Vstupně/výstupní bloky IOB (Input/ Output Block). U běžných FPGA je v závislosti na pouzdře asi 55 – 70% vývodů k dispozici jako uživatelské vstupy/výstupy (User I/O). Každý blok IOB tvoří rozhraní pro jeden uživatelský vývod. Jednotlivé vývody mohou být konfigurovány jako vstupní, výstupní nebo obousměrné s třístavovým řízením.
3. Síť lokálních a globálních propojovacích prostředků. Kladen důraz na minimální zpoždění signálu.
4. Statická paměť konfigurace [6].

Současné FPGA ve své architektuře obsahují ještě některé další prvky zvyšující jejich možnosti a výkonnost. Jedná se např. o samostatné bloky statických pamětí (Block RAM Viz. Obr. 5.1), HW násobičky, bloky pro generování hodinového signálu, bloky vysokorychlostní sériové komunikace a další. [6]



Obr. 5.1: Základní architektura FPGA [6]

5.2 VHDL (Very High Speed Integrated Circuits – Hardware Description Language)

Začal Vznikat v rámci výzkumného vojenského projektu VHSIC ministerstva obrany USA v roce 1981. Jazyk VHDL je jazyk vysoké úrovně navržený speciálně pro účely návrhu a simulace

rozsáhlých číslicových obvodů a systémů. Popis číslicového obvodu se liší od klasického programování v běžných jazycích (C++ nebo Pascal). Popsaný číslicový obvod v jazyku VHDL musí projít syntézou v FPGA, kde se propojí jednotlivé části HW. Jednoznačnou výhodou VHDL je velká nezávislost navrženého číslicového systému na cílový HW. VHDL je postoupeno organizaci IEEE, která ho spravuje a stále vyvíjí. Jazyk je vždy v určitých cyklech revidován a rozšířen určitým vylepšením.

5.2.1 Návrhové jednotky

Primární návrhovou jednotkou v jazyce VHDL můžeme nazvat entitu.

Entita popisuje vstupní a výstupní rozhraní, které může představovat pouhé logické hradlo nebo naopak rozsáhlý systém. Entitu můžeme přirovnat ke schématické značce, která pojmenovává vstupy a výstupy, definuje jejich typ a směr přenosu. Musí mít své jméno.

K deklaraci funkce entity patří sekce port. Port slouží k definování vstupů a výstupů entity.

1. **In** – buzení tohoto portu může být pouze z vnějšku, data do entity pouze vstupují. Používá se nejčastěji pro hodiny, nulování, povolávání, datové vstupy, nastavování, atd.
2. **Out** – buzení tohoto portu může být pouze z vnitřku, data z entity jen vystupují. Využívá se pro řídicí signály, datové výstupy, třístavové výstupy, atd.
3. **Buffer** – buzení pouze z vnitřku entity. Data s ní mohou pouze vystupovat, vlastní entita však může výstupní data i zpětně číst na rozdíl od režimu out, kde se zpětně číst nedají. Režim buffer lze použít například pro výstupy čítačů, protože stav výstupu čítače se musí použít pro výpočet následujícího stavu čítače. U některých návrhových systémů může dojít k chybě.
4. **Inout** – může být buzen signálem vnitřním i vnějším (data mohou tímto portem vstupovat i vystupovat). Využívá se v obousměrných datových sběrnicích.

V deklaraci portů se využívá typ `std_logic`. Typ `std_logic` je výčetový typ, který může nabývat celkem 9 hodnot. Kromě zavedených logických hodnot také ('U', 'X', 'Z', 'W', 'L', 'H', '-').

Sekundární návrhovou jednotkou nazýváme architekturu.

Architektura definuje vlastní chování (vztahy mezi porty) a funkcí entity. Každá entita musí mít alespoň jednu architekturu. Pokud má entita více architektur, musí mít každá architektura jiný identifikátor.

Architektura lze popsat různými styly:

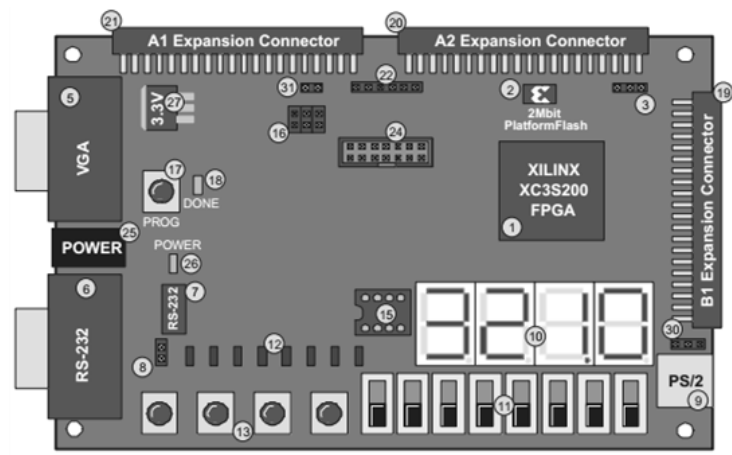
- behaviorální (chování)
- dataflow (tok dat)
- strukturální
- RTL (Register Transfer Level)

5.3 Deska Spartan – 3

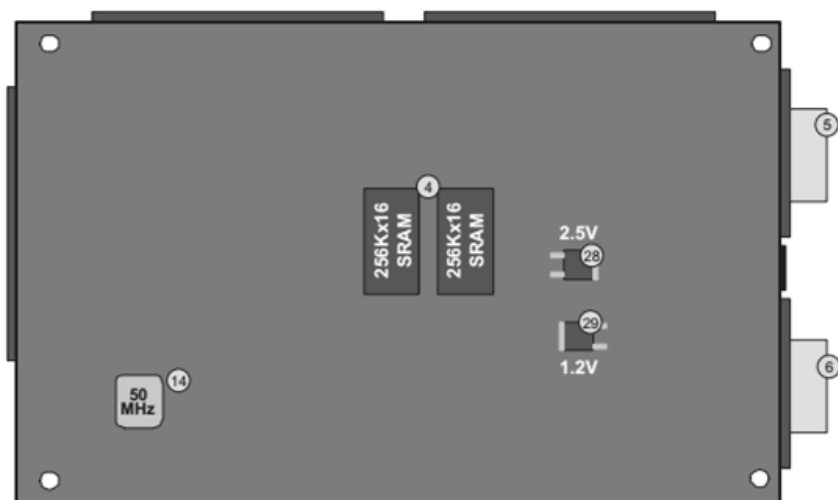
Rozpis jednotlivých komponent

FPGA obvod Xilinx Spartan 3 XC3S200 s 200000 ekvivalentními hradly s 256 piny (XC3S200FT256) obsahující: **(1)**

- 4320 logických buněk
- dvanáct 18Kb bloků paměti RAM
- dvanáct 18 x 18 hardwarových násobiček
- čtyři DCM (Digital Clock Manager)
- 173 uživatelsky definovaných I/O signálů
- paměť 2Mbit Xilinx XCF02S na platformě Flash, systémově programovatelná konfigurace PROM **(2)**
- skokové nastavení dostupné FPGA aplikace ke čtení PROM dat nebo konfigurace FPGA z dalších zdrojů **(3)**
- 1MB rychlá asynchronní SRAM na spodní straně desky **(4)**
- 3 bitový, 8 – barevný VGA port **(5)**
- sériový port RS – 232 (devět pinů) **(6)**
- RS 232 vysílač / stupňový překladač **(7)**
- druhý RS – 232 vysílací a přijímací kanál dostupný na testovacím bodě desky **(8)**
- PS – 2 port pro myš nebo klávesnici **(9)**
- čtyři 7 - segmentové displeje **(10)**
- osm polohových spínačů **(11)**
- osm signalizačních led **(12)**
- čtyři spínací tlačítka **(13)**
- krystalový oscilátor 50 MHz (spodní strana desky) **(14)**
- patice pro druhý oscilátor **(15)**
- výběr konfigurovatelného módu FPGA přes propojky **(16)**
- tlačítko pro konfiguraci FPGA **(17)**
- indikační LED signalizující úspěšné nahrání programu **(18)**
- tři rozšiřující 40 – pinové porty **(19), (20), (21)**
- JTAG port, pro nahrávání SW **(22)**
- JTAG port kompatibilní s paralelním kabelem **(24)**
- Konektor pro střídavé napětí **(25)**
- LED dioda indikující napájecí napětí **(26)**
- Stabilizátory na 3,3 V **(27)**, 2,5 V **(28)**, 1,2 V **(29)**



Obr. 5.2: Základní architektura FPGA [7]



Obr. 5.3: Základní architektura FPGA [7]

6 NÁVRH KONCEPCE LABORATORNÍ ÚLOHY

Koncepce celého přípravku (funkčního celku) byla realizována, tak aby studentům osvětlila a přiblížila základní možnosti generování rychlých jednorázových signálů v řádu desítek až stovek MHz. Základní generátor postavený na architektuře FPGA, kdy jeho HW konfigurace číslicového obvodu je popsána jazykem VHDL, tvoří funkční celek s analogovým tvarovačem, který signál upravuje.

Studenti se seznámí se dvěma realizovanými přípravky:

- tvarovač s varaktorem SRD a vedením
- tvarovač s lavinovým tranzistorem

První měření proběhne na generátoru zabudovaném přímo v osciloskopu Agilent MSO – X 2024A. Změří se charakteristika signálu při změně frekvence. Generátor má nastavitelný průběh, opakovací frekvenci až 10 MHz, amplitudu, dobu plnění atd.

Druhé měření proběhne na generátoru s architekturou FPGA nastavitelném jak počtem impulsů, tak frekvencí. Studenti po připojení generátoru na osciloskop budou analyzovat dobou náběhu t_n , dobou doběhu t_d , překmit P_f a šířku odpovídajícího impulsu se zvyšující se frekvencí i jejich počtem.

Při třetím měření připojíme tvarovač s varaktorem SRD a vedením ke generátoru osciloskopu. Na odpovídajícím opakovacím kmitočtu se bude měnit délka vedení koaxiálního kabelu RG58C/U o impedanci 50 Ω . Pro názornost se využije více délek kabelu a jednoho kabelu o impedanci 75 Ω . Student zachytí a přeměří daný impuls a ověří jeho frekvenci výpočtem (10).

Při posledním měření využijeme tvarovače s lavinovým tranzistorem. Analyzuje se tvar impulsu.

Celá laboratorní úloha obsahuje:

- osciloskop Agilent MSO – X 2024A
- generátor na architektuře FPGA s nastavitelnou frekvencí a počtem impulsů s napájecím adaptérem
- laboratorní zdroj napětí
- dva tvarovače
- napájecí kabel pro tvarovač
- propojovací kabel mezi generátorem a tvarovačem
- kabel pro připojení tvarovače k osciloskopu (jedna strana s koncovkou SMA, druhá s BNC)

7 NÁVRH OBVODOVÉHO PŘÍPRAVKU – GENERÁTORU VELMI KRÁTKÝCH IMPULSNÍCH SIGNÁLŮ

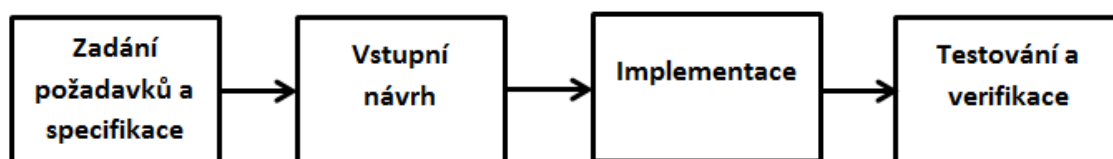
Cílem bylo vytvořit funkční laboratorní generátor, který jde připojit k tvarovacímu vedení. Jako vhodnou platformu pro realizaci generátoru byl vybrán vývojový kit Spartan – 3 Starter Board. Deska obsahuje všechny potřebné HW prvky, jako spínací tlačítka, polohové spínače, signalizační led a sedmi segmentové displeje. Tyto periferie jsou potřebné pro nastavování a sledování aktuálního chodu generátoru. Na této desce je umístěn krystalový oscilátor o frekvenci 50MHz, avšak pomocí vnitřních HW násobiček lze tuto hodnotu nastavit na vyšší mez.

7.1 Návrhové prostředí ISE Project Navigator Suite 14.4

Firma Xilinx poskytuje návrhové prostředí ze svého webu, kde ho lze volně stáhnout. Pro můj návrh stačila verze WebPack, nastavitelná při instalaci. Pro ukončení instalace se musí uživatel zaregistrovat na webových stránkách, poté je mu odeslán soubor pro verifikaci. Project Navigator vyžaduje na disku místo v jednotkách GB.

7.2 Konfigurační soubor ve VHDL

Finálnímu produktu předchází několik důležitých kroků návrhu, které je potřeba pro správnou funkci dodržet.



Obr. 7.1: Postup návrhu do FPGA

7.2.1 DCM (Digital Clock Manager)

Tato funkční jednotka nám umožní přenastavit vstupní frekvenci 50 MHz na vyšší takt. Jde vyvolat zápisem ve VHDL nebo názornější metodou ve schématickém editoru. V postranní liště stlačíme tlačítko Add Symbol → Categories (← All Symbols →) a v Symbol Name Filter zadáme dcm. Následně přetáhneme schématickou značku do návrhového pole.

Pro nastavení parametrů poklepeme dvojklikem na DCM. V roletové nabídce Object properties nás zajímají CLKFX_MULTIPLY, CLKFX_DIVIDE.

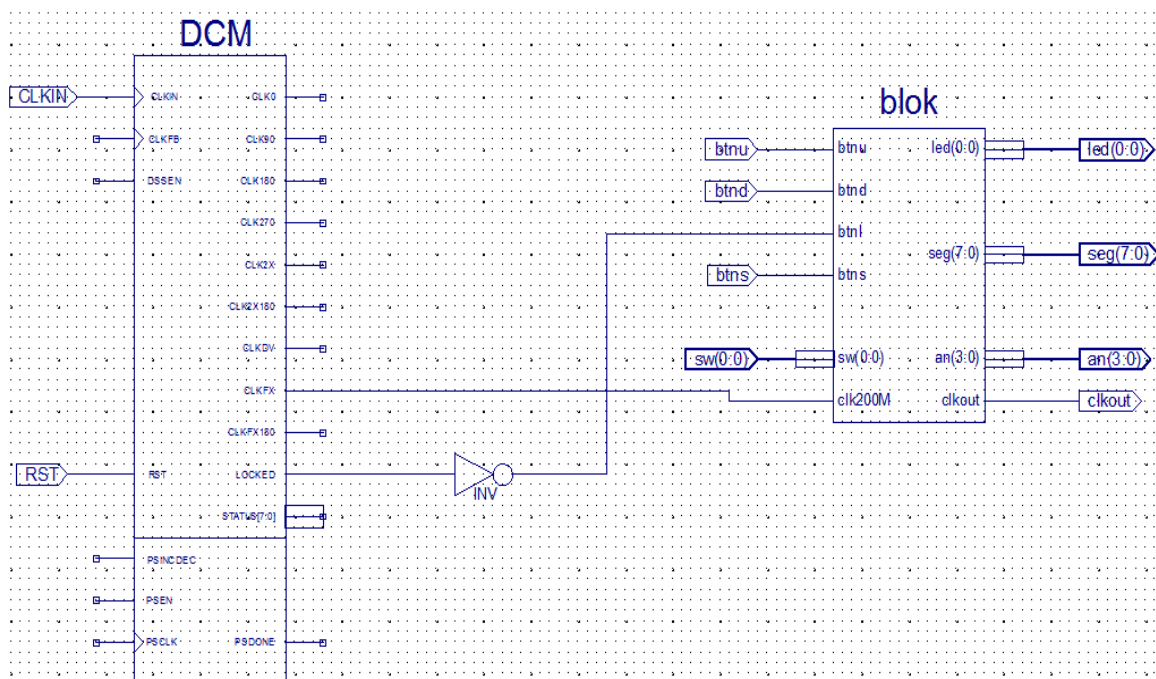
Vztah pro výstupní frekvenci:

$$CLKFX = CLK \cdot \frac{CLKFX_MULTIPLY}{CLKFX_DIVIDE} \quad (15)$$

7.2.2 Bloky ve schématickém editoru

Návrh hlavní konfigurace Blok.vhd přetransformovaný do schématické značky pomocí Design Utilities → Create Schematic Symbol je propojen s DCM. Jednotlivé porty lze připojit k I/O pinům.

DCM je rozsáhlá funkční jednotka a všechny porty není potřeba připojit. Na DCM připojíme vstupní 50 MHz signál CLKIN, který DCM dle vztahu (11) přenastaví na požadovanou frekvenci 100 MHz. Výstupní signál pokračuje s výstupu CLKFX na vstup bloku clk200M. Pomocí HW děliček lze signál omezit na požadovanou frekvenci. V návrhu lze volit mezi 8 přednastavenými hodnotami. Tyto hodnoty se nastavují pomocí tlačítek btu, btnd, btln, btns. Hlavní reset je připojen na DCM z něj jde invertovaný výstup na btln, tím je zajištěná kontinuita v celém návrhu.



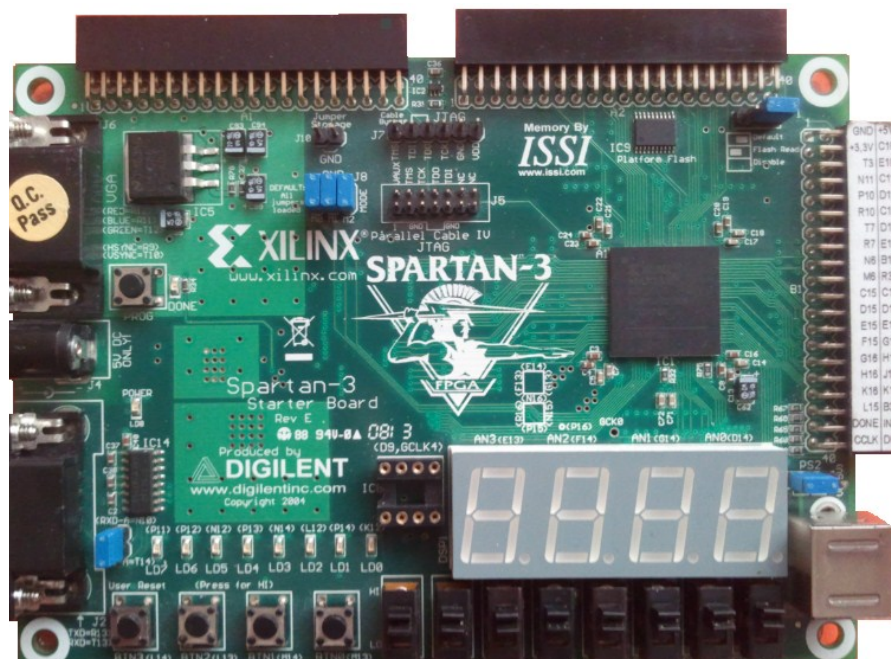
Obr. 7.2: Schématický návrh generátoru

7.2.3 Návrh konfigurace Blok.vhd

7.2.4 Soubor ucf

Pro specifikaci portů lze využít programu PlanAhead, který můžeme vyvolat v nabídce User Constraints → I/O Pin Planning (PlanAhead) – Pre – Synthesis. Porty se dají rozdělit na skaláry a vektory. Vektory obsahují pod jedním prvkem více portů. Například výběr jednoho displeje z více displejů. Výběr jednoho segmentu z displeje.

7.2.4.1 Ovládací a zobrazovací prvky



Obr. 7.3: Deska Spartan – 3 s periferiemi

Porty jsou přiřazeny ke všem ovládacím a zobrazovacím prvkům. Některé mají označení přímo na desce, pokud na desce označení nedohledáme, lze jej najít v manuálu [7].

Pro správnou orientaci je potřeba přejmenovat piny ve schématickém návrhu. Piny se implicitně nastavují ve tvaru XLXN_x. Při ponechání implicitního názvu pinů, se ve větším návrhu v ucf souboru můžeme začít ztrácet.

Tab. 7.1: Seznam v/v portů a k nim přiřazené funkční prvky desky

Označení portů	Vstupní, výstupní piny	Označení funkčních prvků na desce
btneu	btneu	M14
btnd	btnd	M13
btns	btns	L13
RST	RST	L14
CLKIN	CLKIN	T9
sw (0:0)	sw (0:0)	K13
led (0:0)	led (0:0)	P11
seg (7:0)	seg (7:0)	N16, F13, R16, P15, N15, G13, E14, P16
an (3:0)	an (3:0)	E13, F14, G14, D14
clkout	clkout	T3

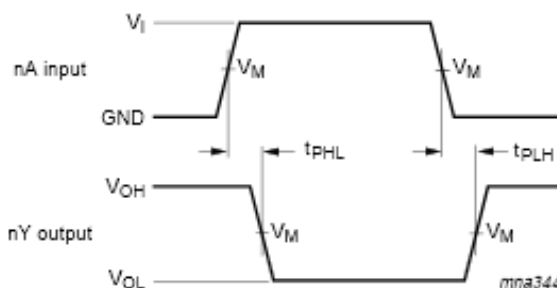
8 NÁVRH A REALIZACE DPS PRO NAVRŽENÝ PŘÍPRAVEK

8.1 Tvarovač s varaktorem SRD s vedením

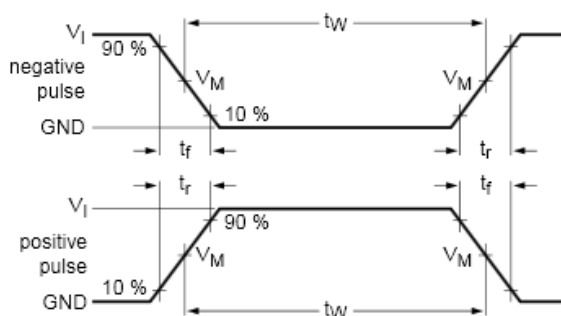
Vstupní signál jde na invertující Schmittův trigger 74AHCT14, kde se signál ošetří proti šumu z vedení. Napájecí napětí pro 74AHCT14 je stabilizováno obvodem 78L05 na 5 V. Invertující Schmittův trigger vytváří dvoustavový signál s hystezí.

Kdy napěťová úroveň výstupu je dána vztahem:

$$nY \text{ output} = 0,5 \times U_{CC} \quad (16)$$



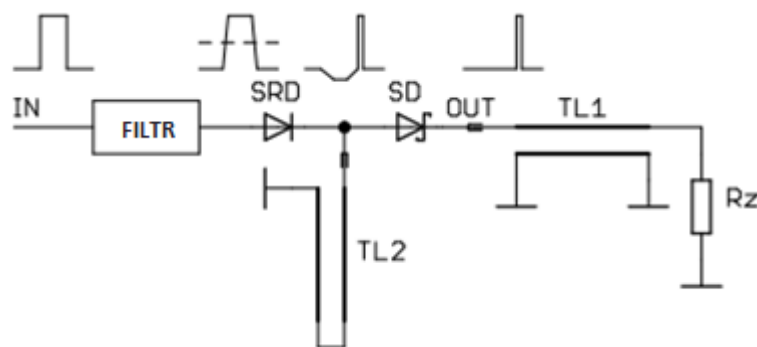
Obr. 8.1: Napěťové úrovně vstupu a výstupu impulsu [12]



Obr. 8.2: Čas náběhu a doběhu impulsu [12]

Čas náběhu t_r a doběhu $t_f \leq 3\text{ns}$, t_W značí periodu, kdy začátek a konec periody odpovídá 50% amplitudy.

Varaktor SRD potřebuje ke své činnosti střídavé napětí. Je nutné ze vstupního pravoúhlého signálu U_{pk-pk} odstranit stejnosměrnou složku. Na výstup by mohly pronikat nízké parazitní impulsy v době náběžné hrany vstupního signálu, proto je vhodné prodloužit náběžnou a sestupnou hranu. Na obr. 8.3 předchází impulsu záporný napěťový překmit, ten lze odstranit pomocí Schottkyho diody SD zapojené do série s SRD. SD také částečně potlačuje případné nežádoucí zvlnění napětí na vzniklé mnohonásobnými odrazy na vedení. Pomocí koaxiálního kabelu RG58C/U, RG59C/U je realizováno zkratové vedení (vedení nakrátko). Na obr. 8.3 je schematicky znázorněn výsledný obvod i s průběhy napětí v jednotlivých částech.



Obr. 8.3: Průběh signálu v obvodu tvarovače varaktoru SRD a vedení

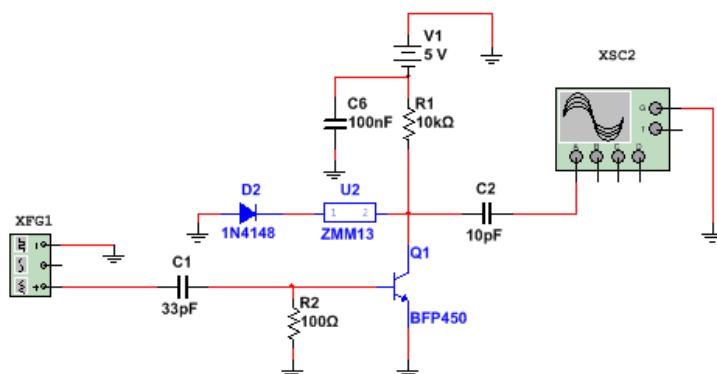
8.2 Tvarovač s lavinovým tranzistorem

Vstupní signál je přiveden stejně jako u tvarovače s SRD varaktorem a vedením na invertující Schmittuv trigger 74AHCT14, kde se ošetří signál proti šumu. Signál jde přes filtrovací kondenzátor na spínací prvek, vysokofrekvenční tranzistor BFP 450, s tranzitní frekvencí $f_T = 24$ GHz. Určený pro nízké napětí $U_{CEO} = 4,5$ V s průrazným napětím $BU_{CEO} \approx 6$ V. Napětí by však nemělo překročit hodnotu $U_{CBO} = 15$ V. Nabíjecí časová konstanta převážně závisí na odporu R_C a kondenzátoru C_0 . Kdy $R_C \approx 10$ k Ω . Maximální opakovací kmitočet je omezen na hodnotu 7 MHz, při $C_0 = 10$ pF. Při vyšších kmitočtech se kondenzátor C_0 plně nenabije a výška výstupního impulsu klesá.

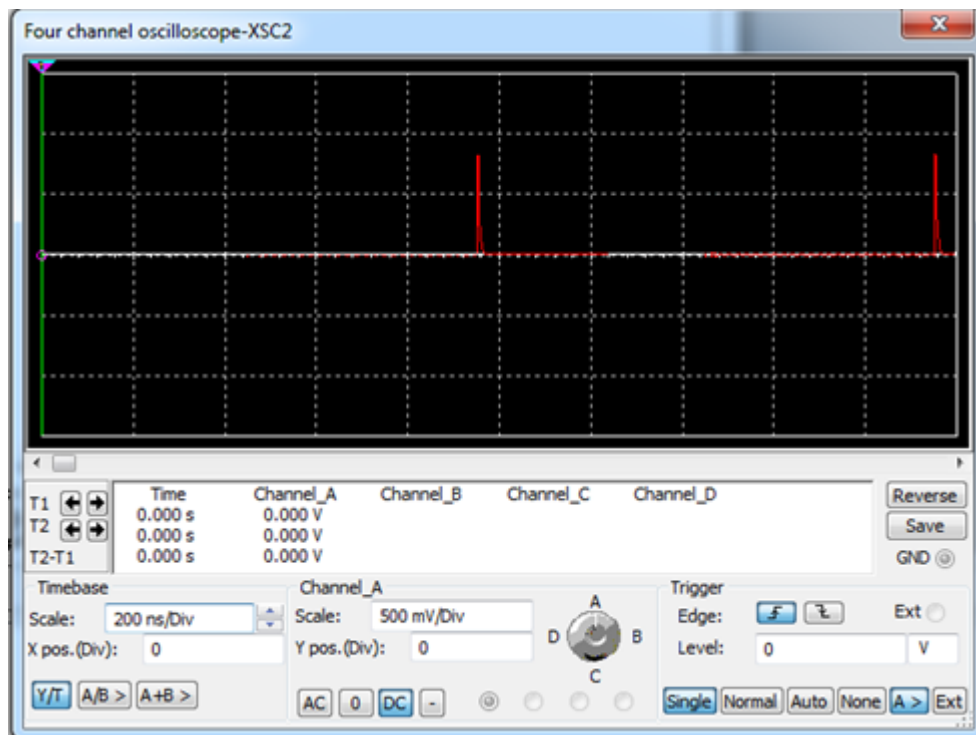
Přes pomocný zdroj napětí a diodu v kolektoru tranzistoru, lze zvýšit maximální kmitočet uvedeného obvodu. V zapojení slouží jako pomocný zdroj zenerova dioda D_1 s napětím 13 V, Pokud je dioda napájena nižším napětím nemá vliv.

8.3 Simulace obvodu v programu Multisim 12

Funkcionalita obvodu byla odladěna v programu Multisim umožňující simulaci analogových a digitálních obvodů pomocí spice modelů součástek. Při vstupním opakovacím kmitočtu 1 MHz se docílilo vygenerování výstupního impulsu o šířce 9 ns.



Obr. 8.4: Simulace tvarovače lavinovým tranzistorem



Obr. 8.5: Zobrazení vygenerovaného impulsu o šířce 9 ns

8.4 Prostorový návrh tvarovače

Hlavní důraz se kladl na velikost DPS, proto se muselo před výrobou vycházet z vhodných rozměrů pro její umístění do krabičky, jejíž povrch je kovový kvůli společné zemi a připojení konektorů.

Pripevnění desky malých rozměrů si vyžádalo pocínovaný povrch krabičky tak, aby DPS mohla být přímo připájená ke stěnám krabičky. Na trhu se vyskytuje spousta hliníkových krabiček s pocínovaným povrchem. Příhodným produktem se ukázala krabička AH100 s rozměry 45x30x22 mm.

Dalším parametrem byl výběr konektorů. Žádoucím konektorem pro přivedení napájecího napětí a vstupního signálu se ukázala napájecí zásuvka DC, typ PC – G2.5. Po vyvrtání díry se zásuvka přitáhne pomocí matky ke krabičce a pomocí dvou ze tří kontaktů se připájí k napájecím pinům. Pro výstupní signál se použilo panelového SMA s límcem a vnitřním závitem, pro vývod signálu slouží vnitřní dutinka připájená k desce. K upevnění panelového SMA slouží čtyři díry přitažené ke krabičce šrouby.

8.5 Návrh DPS v Eaglu

Eagle (Easily Applicable Graphical Layout Editor) je jeden z nejrozšířenějších CAD systému střední třídy pro návrh a tvorbu DPS. Program se skládá ze tří hlavních modulů:

- Editor schémat
- Editor spojů

- CAM Processor

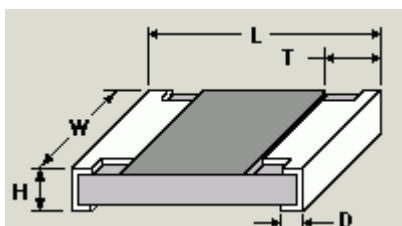
8.5.1 Editor schémat

Po vytvoření nového projektu v control panelu se pravým tlačítkem na objektu vyvolá nové schéma. Při vytváření schématického návrhu se dodržují určitá pravidla. Rámeček se umísťuje levým dolním rohem ke kříži určujícímu počátek souřadnic, rozměrově se volí mezi standartními formáty. Pod tlačítkem Grid vyvolávající rastr, se nastavují vhodné jednotky mřížky, její zviditelnění (pro lepší orientaci a kreslení schématu). Jednotky se nastavují v milech. Mil je roven tisícíně palce a využívá se v elektronice pro svou návrhovou velikost k rozměrům součástky. Orientační přepočet jednotky mil na mm uveden v tab. 8.1.

Tab. 8.1: vztah mezi jednotkou mil a mm

mil	1	10	20	40	50	100
mm	0,025	0,254	0,508	1,016	1,27	2,54

Všechny součástky se strukturují do knihoven. Označením součástky se zobrazí její popis (schématická značka, pouzdro vybrané součástky, rozměry pouzdra). Pro obvodové řešení tvarovačů je využito SMD (surface mount device), součástky pro povrchovou montáž. Všechny odpory a kondenzátory použité v návrhu odpovídají velikosti EIA 1206, což je délka součástky. Toto označení se shoduje s metrickou délkou 3,2 mm.



Obr. 8.6: SMD rezistor s vynesnými kótami [11]

V tabulce jsou pro srovnání uvedeny dvě nejpoužívanější velikosti SMD součástek při ručním osazování.

Tab. 8.2: nejpoužívanější velikosti SMD

Velikost EIA	Velikost metrická	L [mm]	W [mm]	H [mm]	D [mm]	T [mm]
0805	2012	2.1±0.1	1.3±0.1	0.5±0.05	0.4±0.2	0.4±0.2
1206	3216	3.1±0.1	1.6±0.1	0.55±0.05	0.5±0.25	0.5±0.25

Všechny schématické značky mají svůj název a hodnotu, a propojují se tzv. gumovým spojem pod ikonou NETS. Pro propojování součástek v zásadě neslouží ikona WIRE, jak by se chybně mohlo zdát.

8.5.2 Editor spojů

Po vytvoření schématického návrhu přecházíme tlačítkem Board do editoru spojů. V metrické soustavě pod vrstvou 20 (Dimension - šedá) se nastavuje ohraničení desky. Hrany desky musí lícovat se stěnami krabičky. Délka desky je o jeden centimetr zkrácená na 35 mm, kvůli zapuštěným konektorům ve stěně krabičky.

Deska je navržena jednostranně, pájitelné a vodivé cesty jsou z horní strany. Lámací kolíky a stabilizátor napětí v pouzdře TO92 jsou umístěny na dolní straně desky z důvodu úspory místa. Pro rozlišení umístění součástek a vodivých cest na vrchní a spodní straně se využívá vrstev 1 (TOP - červená) a 16 (BOTTOM - modrá). Pokud má být součástka ze spodní strany DPS a vodivý spoj na vrchní straně, užije se funkce MIRROR, součástka se zrcadlově obrátí, této funkce je užito při zakomponování stabilizátoru.

Po transformaci z editoru schémat do editoru spojů se objeví všechny součástky pohromadě na okraji okna. Nastaví se rastr, velikost se volí dle rozměru pinů např. 10 x 20 mil. Rozmístění součástek do ohraničení desky je otázka celkové funkčnosti. Vstupy a výstupy, jako napájení a přívod signálu hraničí s okrajem desky. Dále se rozmísťují pospolu funkční celky. Blokovací kondenzátory co nejbližší patřičným integrovaným obvodům. Spoje jsou realizovány, co nejbližší mezi součástkami tím se posílí odolnost proti rušivým vlivům, jinak se mohou vytvářet proudové smyčky, ty mají za následek vyzařování EMG. Vodivé cesty nejsou vedeny v pravoúhlé soustavě, nýbrž bod zlomu je pod úhlem 45°. V této technice klade důraz na maximální hustotu spojů, to si žádá občasný kompromis při přemostování vodivých cest „nulovým“ odporem.

Pro společnou zem se využije funkce polygon, aktivujeme ji a označíme čarou celou plochu DPS. Poté ji pojmenujeme stejně, jak ve schématickém návrhu označenou zem (GND). Tlačítkem Ratsnest se nám polygon aktualizuje. To způsobí nalití mědi na místa, kde nevedou spoje. Tím se sníží impedance, vliv přeslechu, vyzařování EMG atd.

8.5.3 CAM Processor

Slouží k vyexportování navrhnuté DPS. Zvýrazněním některých vrstev se docílí vytvoření šablony k výrobě DPS, nebo například osazovacího schématu pro orientaci při kompletaci výrobku.

Jelikož vrstev v nastavení je mnoho, doporučuji pracovat s jedním souborem a nepatrně jej měnit při návrhu odlišných DPS.

8.5.3.1 Nahrání CAM souboru

Spustíme ikonou Cam, v horním menu klikneme na File → Open → Job a vložíme příslušný soubor s příponou .job. ukončení exportu provedeme tlačítkem Process Job.

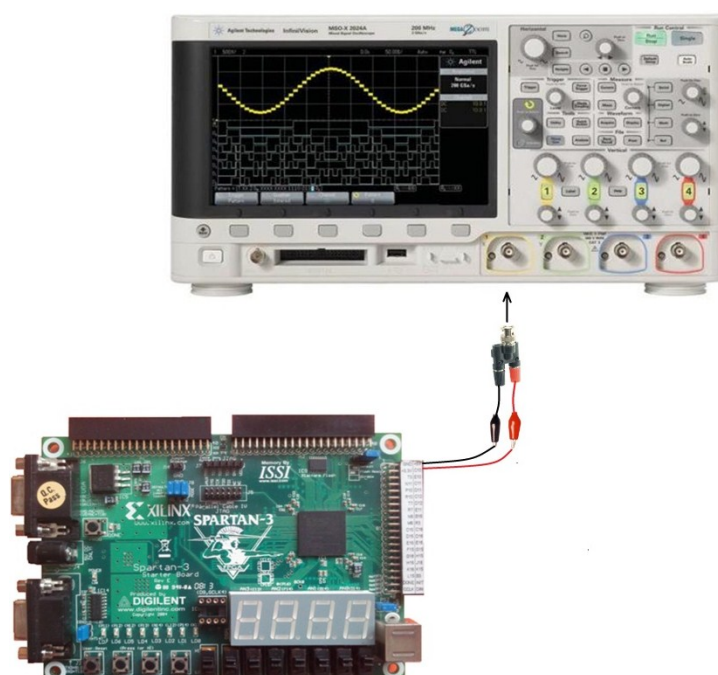
Pokud exportujeme více souboru, každý zvlášť uložíme.

Šablona vytisknutá na pauzovací papír pro výrobu DPS, se vyrábí v měřítku 1:1, pro zachování poměru velikosti navrhnutého obvodu. Ve vhodném programu např. Adobe Distiller převede vyexportovaný soubor z Cam Processoru s přejmenovanou příponou na .ps do formátu .pdf.

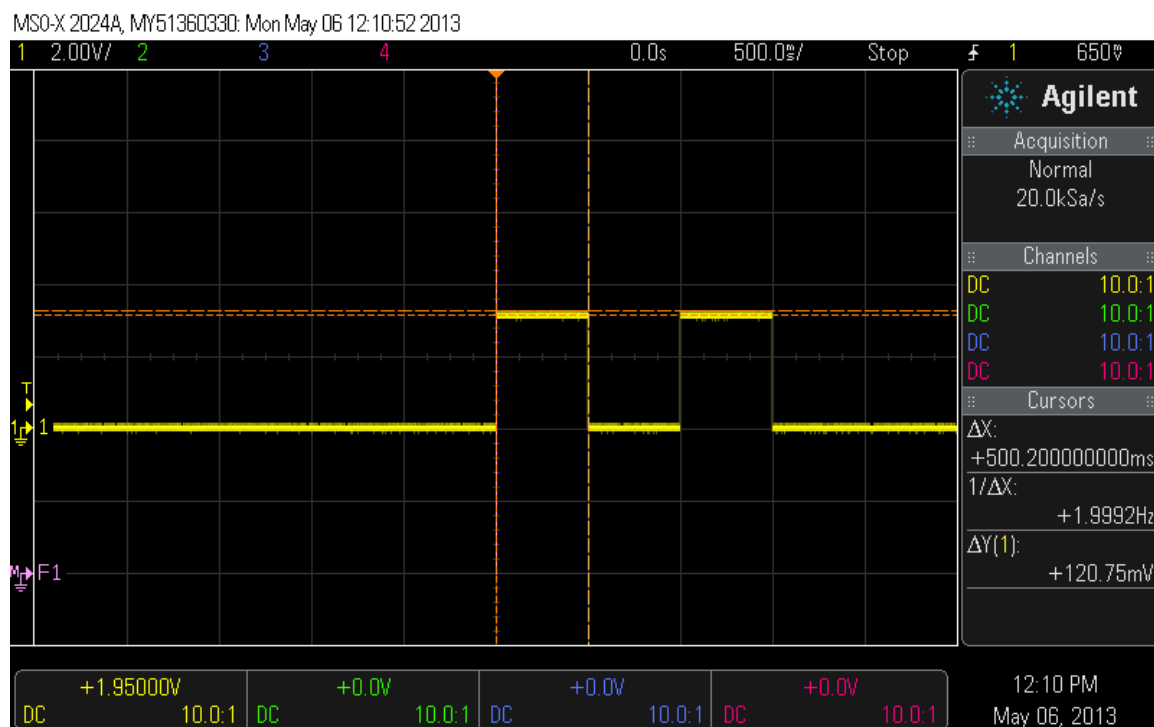
9 OŽIVENÍ A TESTOVÁNÍ REALIZOVANÉHO MĚŘÍCÍHO PŘÍPRAVKU

9.1 Generátor na desce Spartan – 3

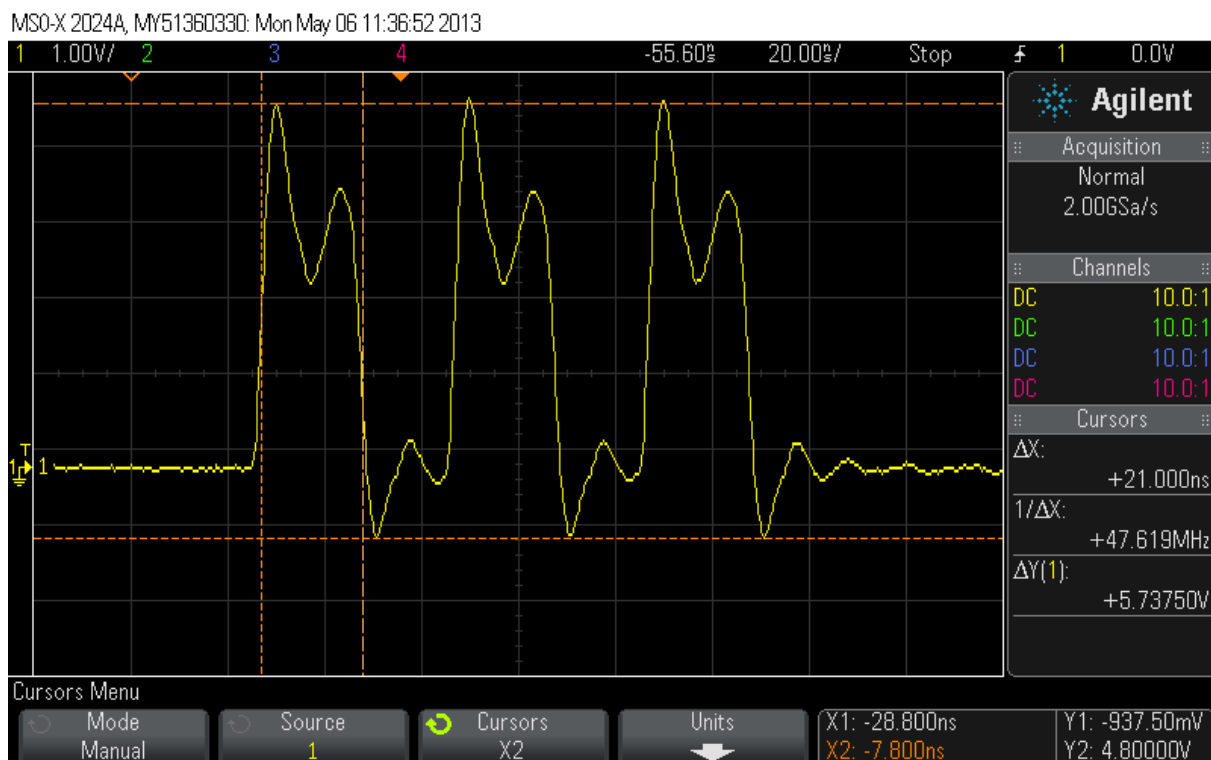
Při testování vlastností impulsního generátoru se ověřila nastavitelná šířka impulsů v krajních mezích. Po odladění přípravku se dosáhlo nejmenší šířky impulsu 20,8 ns. Maximálně nastavitelná šířka impulsu je 500,2 ms. Kdy nastavitelný počet impulsů je od 1 do 15.



Obr. 9.1: schéma měřícího zapojení generátoru na desce Spartan - 3



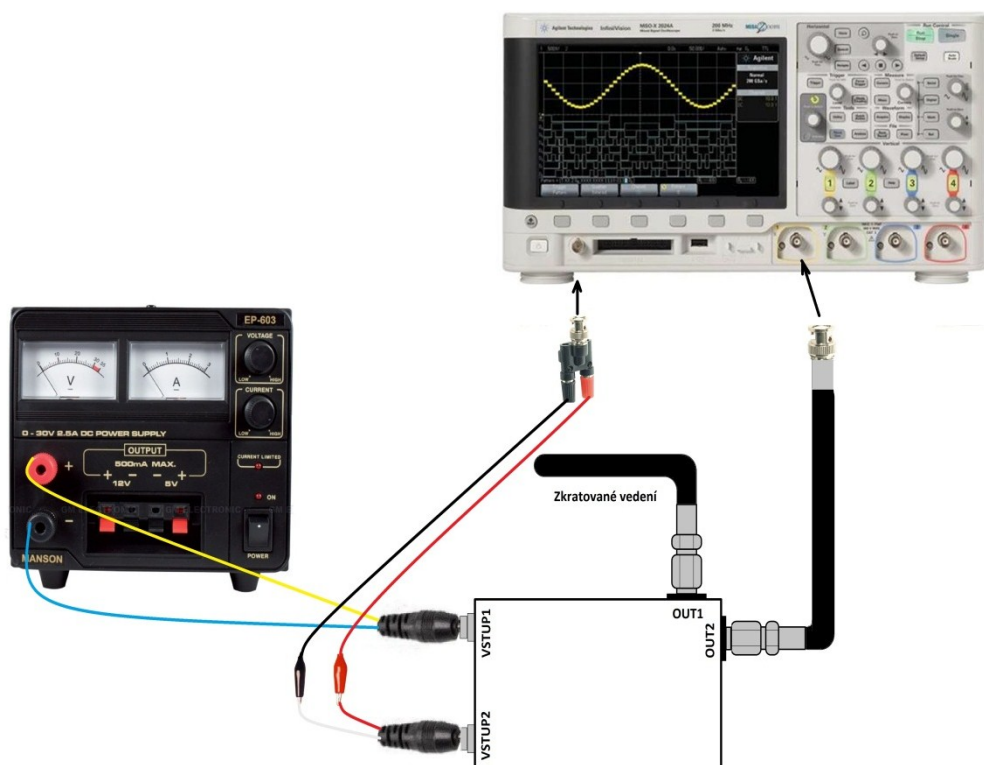
Obr. 9.2: Největší dosažená šířka impulsů 500,2 ms, $U_{pk-pk} = 3,4$ V, doba náběžné hrany <300 us, doba sestupné hrany <300 us, překmit 3,9%



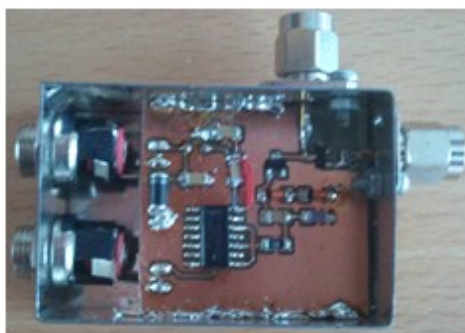
Obr. 9.3: Nejmenší dosažená šířka impulsů 21 ns, $U_{pk-pk} = 5,73$ V, doba náběžné hrany 2,8 ns, doba sestupné hrany 16,9 ns

9.2 Tvarovač s varaktorem SRD a vedením

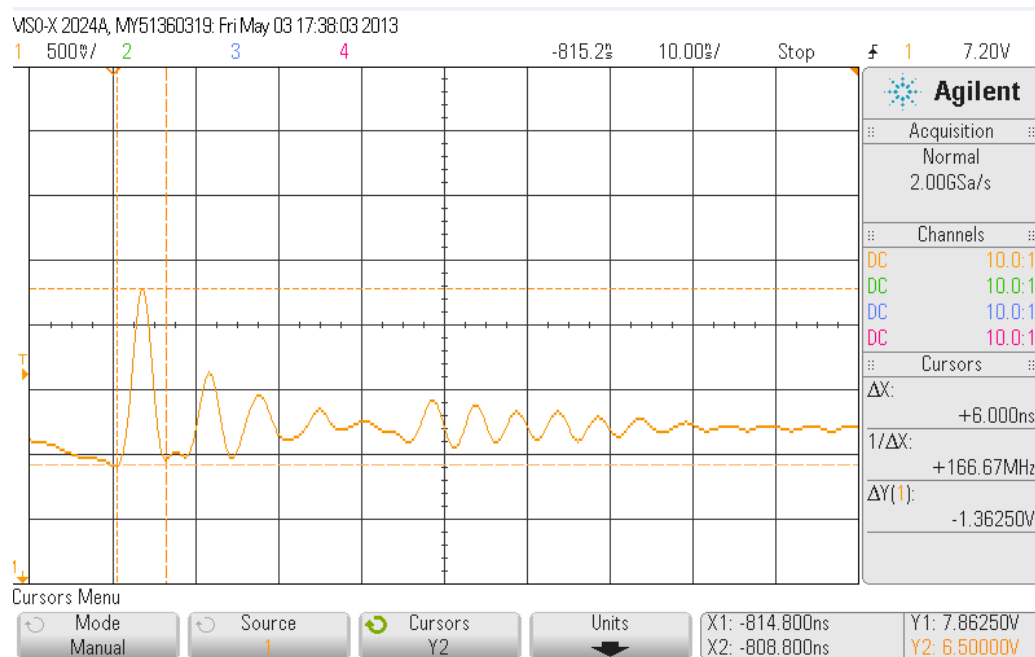
U tvarovače s varaktorem SRD a vedením je amplituda prvního impulsu největší. Další kmity jsou odrazem prvního impulsu a dochází k postupnému útlumu, amplituda se zmenšuje. U koaxiálního kabelu RG58C/U s délkou 19 cm se šířka impulsu zmenšuje při každém odrazu, jak je patrné na obrázcích 9.3 až 9.6. Spektrální analýza na obr. 9.6 se znázorněnou dominantní frekvencí 139 MHz. Šířka impulsů stejného kabelu, s délkou 38 cm je přibližně stejná u všech ustálených odrazů $8 \div 7,8$ ns.



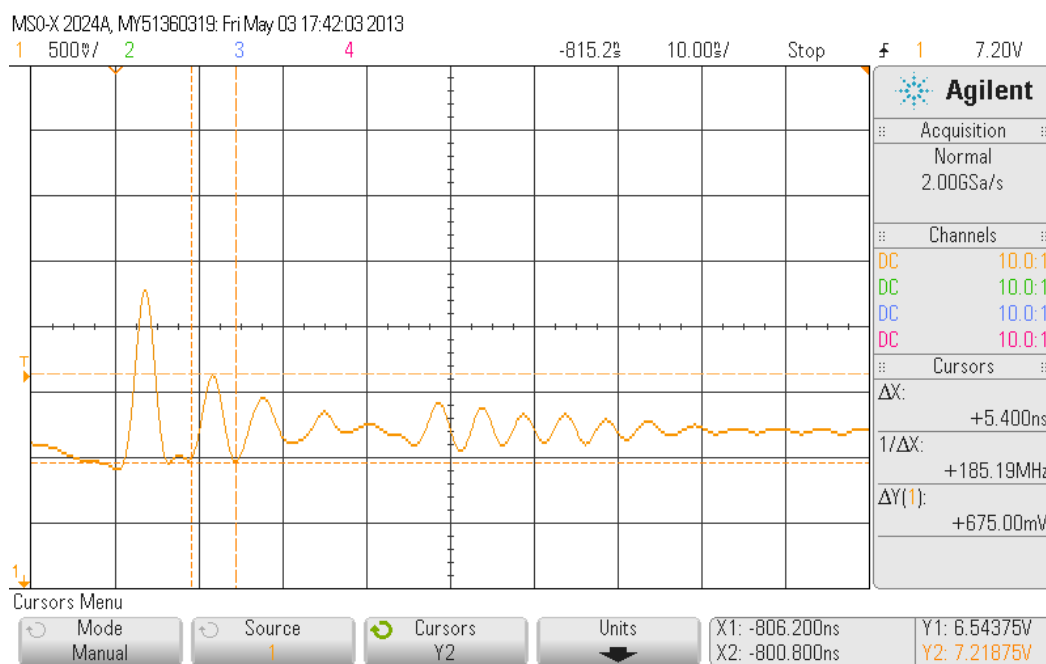
Obr. 9.4: schéma měřicího zapojení tvarovače s varaktorem SRD a vedením



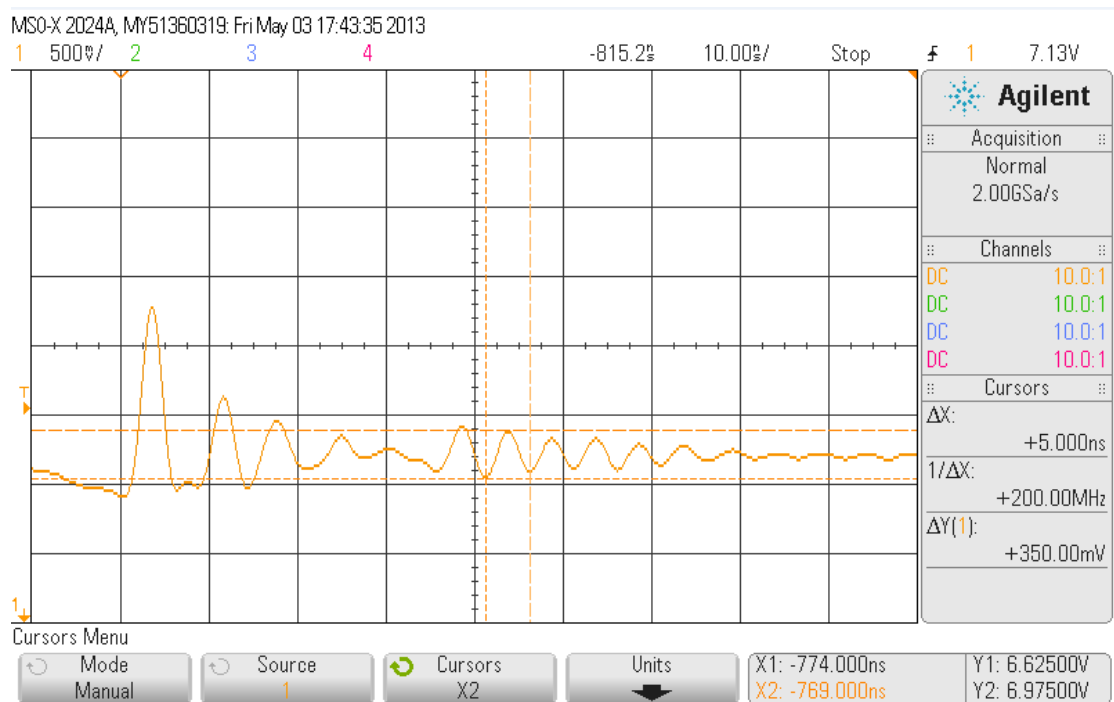
Obr. 9.5: vyhotovený tvarovač s varaktorem SRD a vedením



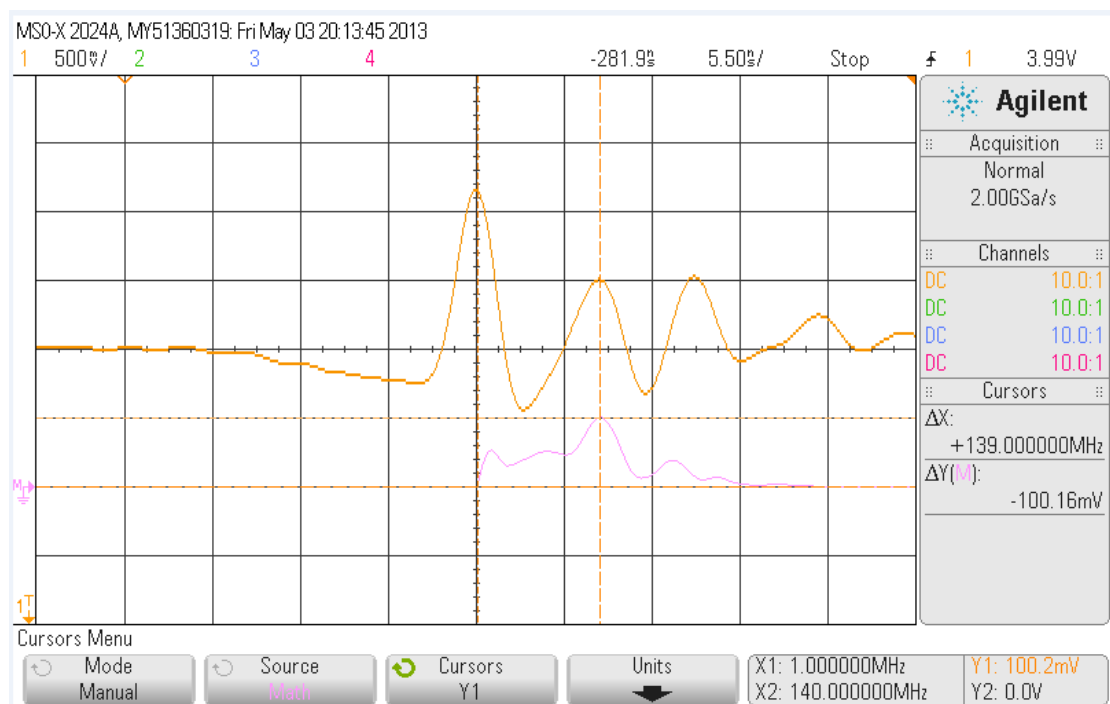
Obr. 9.6: měření prvního impulsu $\Delta t = 6 \text{ ns}$, $f = 166.67 \text{ MHz}$, $\Delta U = 1,363 \text{ V}$



Obr. 9.7: měření druhého impulsu $\Delta t = 5,4 \text{ ns}$, $f = 185.19 \text{ MHz}$, $\Delta U = 675 \text{ mV}$



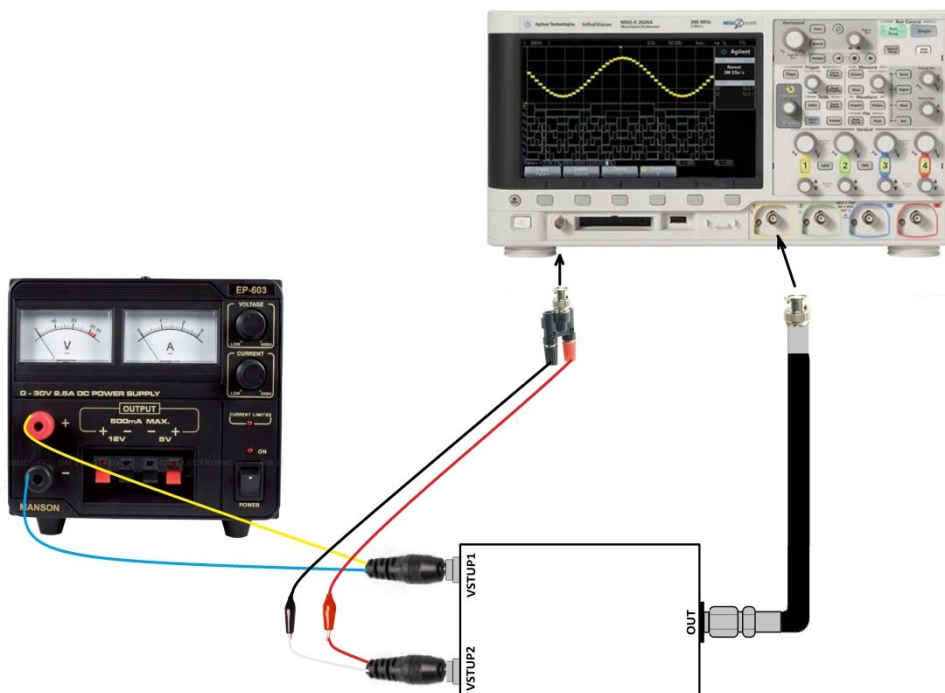
Obr. 9.8: měření třetího impulsu $\Delta t = 5 \text{ ns}$, $f = 200 \text{ MHz}$, $\Delta U = 350 \text{ mV}$



Obr. 9.9: měření FFT signálu s dominantní frekvencí $f = 139 \text{ MHz}$, $\Delta U = 100,16 \text{ mV}$

9.3 Tvarovač s lavinovým tranzistorem

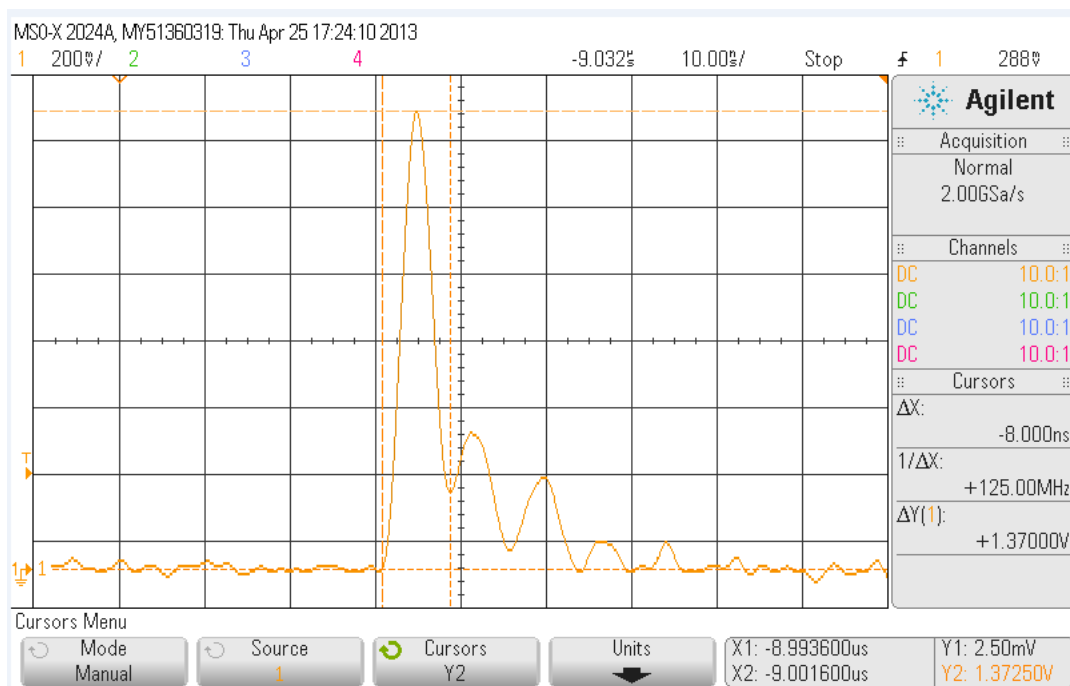
Na generátoru osciloskopu byla nastavována opakovací frekvence 1 MHz. Dosažená šířka impulsu je 8 ns a amplituda 1,37 V. U opakovací frekvence 10 MHz bylo dosaženo stejné šířky impulsu, ale o 126 mV menší amplitudy z teorie víme, že opakovací kmitočet je omezen na hodnotu 7 MHz, při $C_0 = 10$ pF. Při vyšších kmitočtech se kondenzátor C_0 plně nenabije a výška výstupního impulsu klesá.



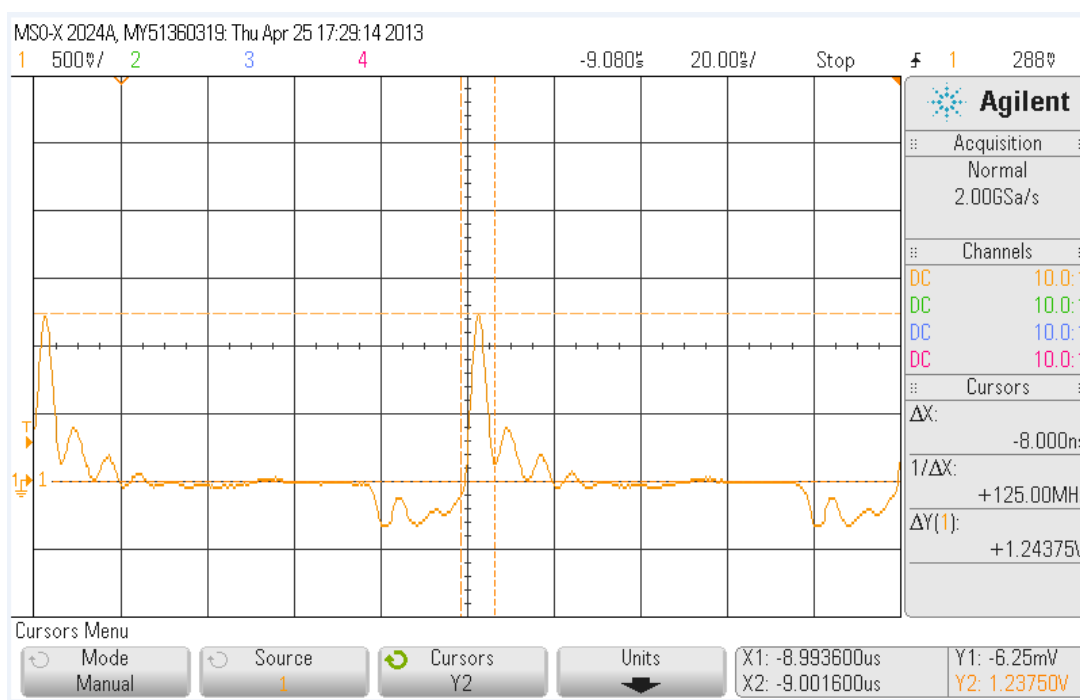
Obr. 9.10: schéma měřícího zapojení tvarovače s lavinovým tranzistorem



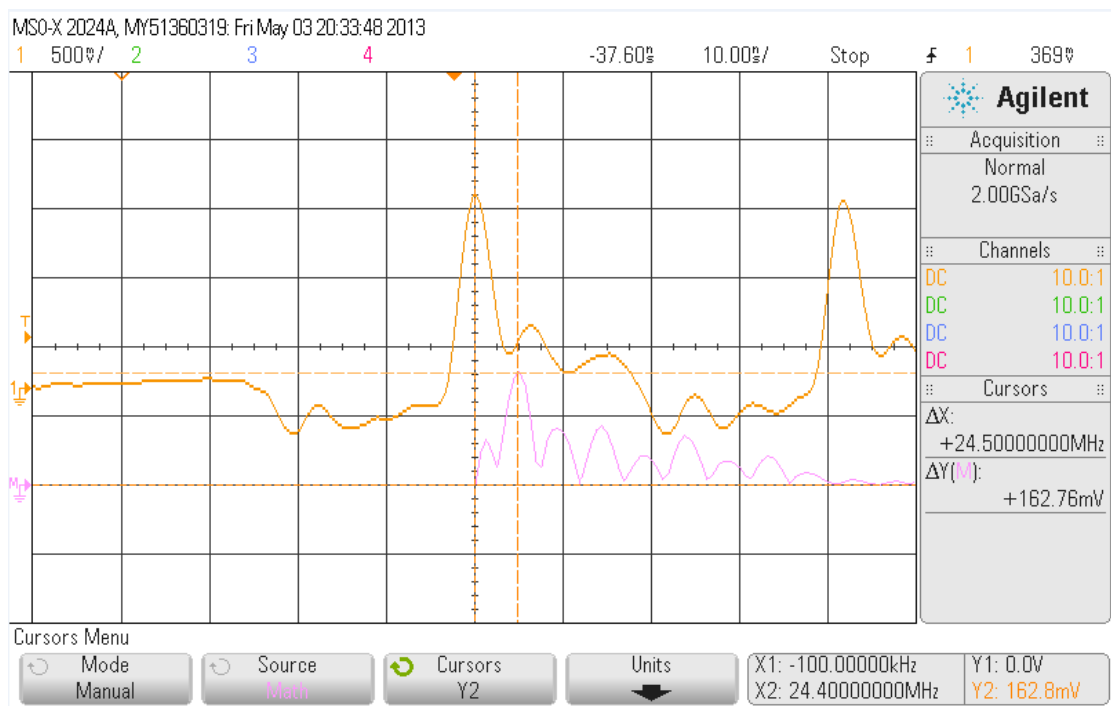
Obr. 9.11: vyhotovený tvarovač s lavinovým tranzistorem



Obr. 9.12: měření prvního impulsu $\Delta t = 8 \text{ ns}$, $f = 125 \text{ MHz}$, $\Delta U = 1,37 \text{ V}$, opakovací frekvence 1 MHz



Obr. 9.13: měření prvního impulsu $\Delta t = 8 \text{ ns}$, $f = 125 \text{ MHz}$, $\Delta U = 1,24 \text{ V}$, opakovací frekvence 10 MHz



Obr. 9.14: měření FFT signálu s dominantní frekvencí $f = 24,5$ MHz, $\Delta U = 162,76$ mV

10 ZÁVĚR

Pro vytvoření generátoru rychlých jednorázových impulsů, mně byl zapůjčen vývojový kit Spartan – 3. Na této desce je umístěn krystalový oscilátor o frekvenci 50MHz, avšak pomocí vnitřních HW násobiček lze tuto hodnotu nastavit na vyšší mez. Navrhnuté nejmenší šířce impulsu 10 ns se bohužel nedosáhlo. Dosáhlo se rozmezí generované šířky impulsů 500 ns až 20 ns.

Druhá část práce se zabývá návrhem tvarovacích obvodů, která vychází z teorie 4.4 a 4.5. Byly realizovány dvě zapojení realizované pracující na různých principech a proměřeny jejich vlastnosti v časové i kmitočtové oblasti. Tvarovače jsou umístěny ve stínících krabičkách, omezující okolní rušení.

První z nich je tvarovač s varaktorem SRD. Tyto diody dokážou tvořit velmi krátké, strmé impulsy s vysokými opakovacími kmitočty. Nevýhodou může být nižší napěťová úroveň impulsu. Ve výsledném zapojení se využívá rychlé PIN diody, podobných vlastností jako u SRD, ale nelze s ní vytvořit, tak strmé impulsy. Šířku výsledného impulsu lze ovlivnit velikostí zkratovaného vedení.

Druhý realizovaný tvarovač využívá lavinového jevu tranzistoru. Vyznačuje se vysokou napěťovou úrovní impulsu a velmi strmou náběžnou hranou. Čemuž odpovídá bohatost spektra. K jeho záporným vlastnostem patří nižší dosažitelný opakovací kmitočet ověřený měřením.

11 SEZNAM POUŽITÉ LITERATURY

- [1] KOLOUCH J., BIOLKOVÁ V. *Impulzová a číslicová technika* [skriptum]. Brno: VUT, FEKT, 2003. 185 s.
- [2] HAASZ V., SEDLÁČEK M. *ELEKTRICKÁ MĚŘENÍ, Přístroje a metody* [skriptum]. Praha: ČVUT, 2000. 327 s. ISBN 80-01-01717-6
- [3] DIVÍŠ Z., CHMELÍKOVÁ Z., PETŘÍKOVÁ I. *Logické obvody* [skriptum]. Ostrava: VŠB - TU, Fakulta elektrotechniky a informatiky, 2003. 204 s.
- [4] ZIKMUND V. *Grafické znázornění hazardu*: bakalářská práce. Praha: ČVUT, FEL, 2007. 41 s.
- [5] MYŠKA R. *Zdroj proudového impulsu vysoké úrovně*: bakalářská práce. Brno: VUT, FEKT, 2009. 64 s.
- [6] KAŠÍK V. *Programovatelná hradlová pole FPGA* [učební text a návody do cvičení]. Ostrava: VŠB – TU, Fakulta elektrotechniky a informatiky, 2012. 59 s.
- [7] Xilinx. *Spartan – 3 FPGA Starter Kit Board User Guide* [online]. 2008. [cit. 2013-04-14]. Dostupný z WWW: <http://www.xilinx.com/support/documentation/boards_and_kits/ug130.pdf>
- [8] SVAČINA J. *Speciální elektronické součástky a jejich aplikace* [skriptum]. Brno: VUT, FEKT, 1997. 96 s.
- [9] REED, Jeffrey H. *An Introduction to Ultra Wideband Communication Systems*. Prentice Hall, 2005. 672 s. ISBN 978-0131481039
- [10] LEE J.S., NGUYEN C. Uniplanar picosecond pulse generator using step – recovery diode [Electronics letters]. 2001, 37 s., p. 504-506. Online ISSN 1350 – 911X
- [11] Pandatron.cz. *Rozměry standartních SMD pouzder* [online]. 2008. [cit. 2013-04-20]. Dostupný z WWW: <http://pandatron.cz/?584&rozmery_standardnich_smd_pouzder>
- [12] NXP Semiconductors. *74AHCT14; 74AHCT Product data sheet* [online]. 2009. [cit 2013-04-25]. Dostupný z WWW: <http://www.nxp.com/documents/data_sheet/74AHC_AHCT14.pdf>
- [13] Hrdina Z., Vejražka F. *Signály a soustavy* [skriptum]. Praha: ČVUT, Fakulta elektrotechnická, 2001, 234 s. ISBN 80 – 01 – 01726 - 5

- [14] Holčík J. Signály, časové řady a lineární systémy [skriptum]. Brno: MUNI, 2012, 136 s.
ISBN 978 – 80 – 7204 – 792 - 5